

PAT-NO: JP405183761A  
DOCUMENT-IDENTIFIER: JP 05183761 A  
TITLE: PICTURE PROCESSOR  
PUBN-DATE: July 23, 1993

INVENTOR-INFORMATION:  
NAME  
KURITA, MITSURU  
IKEDA, YOSHINORI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
CANON INC N/A

APPL-NO: JP04000095  
APPL-DATE: January 6, 1992

INT-CL (IPC): H04N001/413, B41J002/525 , B41J003/54 , G03G015/00 ,  
G03G015/01  
                  , G06F015/66 , H04N001/40

ABSTRACT:

PURPOSE: To provide a color picture processor which can process a black character picture to form it by the single color of black with little memory capacity.

CONSTITUTION: Color picture data read by CCD 1208 is executed plural picture processing and, after that, compressed in a compression extending part 111 so as to be stored. Then, a character picture detecting part 112 picks up black picture data and character picture data simultaneously so that they are stored without compression. Color picture data which is extended and taken out from the compression extending part 111 is picture-processed in a picture

area  
separation processing circuit so as to form the black character  
picture by the  
single color of black by black picture data and character picture  
data which  
are taken out from the character picture detecting part 112 and, the  
picture is  
formed.

COPYRIGHT: (C)1993, JPO&Japio

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the image processing system which performs an image processing to the alphabetic character image of a specific color, concerning an image processing system.

[0002]

[Description of the Prior Art] The color of a color copy image is separated in recent years, an image is read for every color, digital processing of the image data of a reading \*\*\*\* image is carried out, in order for the digital color copying machine which obtains color hard copy to spread through outputting to a color printer therefore and to reply to the high speed demand of a color copying machine, it consists of four photoconductor drums and the color copying machine using the laser beam printer (referred to as "LBP" below) of the method which it prints at a time one color by each photoconductor drum is proposed.

[0003] on the other hand -- the output of a color copying machine -- receiving -- an alphabetic character -- more -- an alphabetic character -- it is -- seemingly an image is an image more -- \*\* -- there is a demand to say, to this demand, image-area separation processing performs to image data, and the processing which compounds and outputs both image data after it separated into alphabetic character image data and an image data, and carrying out high resolving processing to alphabetic character image data and carrying out the Takashina tone processing to an image data is once proposed. In addition, apart from especially other alphabetic character image data, the processing (henceforth a "black character manipulation") formed in black monochrome is made by black alphabetic character image data also in alphabetic character image data.

[0004] Furthermore, in the color copying machine using the above-mentioned LBP, although the image memory which memorizes image data is indispensable, compressing and memorizing image data from the cost of equipment, the transmission rate of image data, etc. is proposed.

[0005]

[Problem(s) to be Solved by the Invention] However, it sets for the above-mentioned conventional example, and the following troubles are \*\*\*\*\*. That is, as an approach of performing the image area judging for carrying out image area separation in the color copying machine which compresses image data and is memorized to an image memory, and performing an image processing (for example, black character manipulation) based on the judgment result, although the following two approaches are proposed, both troubles are \*\*\*\*\*.

[0006] (1) How to perform a black character manipulation based on the judgment result which performed the image area judging using the image data before compression, memorized the judgment result in the 2nd memory, and was memorized by what elongated the compressed data further memorized by the 1st memory at that of the 2nd memory while compressing image data and memorizing in the 1st memory. In addition, the result of an image area judging is the same resolution as the resolution (for example, 400dpi) of the sensor for an image area judging, and is memorized in the 2nd memory.

[0007] (2) How to perform an image area judging using the image data elongated and obtained after elongating the compressed data which compressed image data, memorized in memory and was memorized by memory, and to perform a black character manipulation further based on a judgment result.

\*\* for which a high-definition output is obtained in the case of the approach of (1), but the 2nd big memory of memory space is required, and the effectiveness which compresses image data diminishes, carries out, and it waits in the same resolution as the sensor for an image area judging in order to make the 2nd memory memorize a judgment result.

[0008] Moreover, in order the memory for an image area judging is unnecessary in the case of the approach of (2), but to carry out an image area judging and a black character manipulation to compression elongation using the image data to which image quality therefore fell, the image quality of an output image deteriorates, and they are \*\*\*\* and \*\*.

[0009]

[Means for Solving the Problem] This invention is a thing aiming at solving the aforementioned technical problem, and is equipped with the following configurations as a way stage which solves the aforementioned technical problem. Namely, the 1st storage means which memorizes image data and the 1st extract means which extracts alphabetic character image data from said image data, The 2nd storage means which memorizes said alphabetic character image data extracted by said 1st extract means, The 2nd extract means which extracts specific color image data from said image data, The 3rd storage means which memorizes the specific color image data extracted by said 2nd extract means, It considers as an image processing system equipped with an image-processing means to perform an image processing to the alphabetic character image of a specific color, from said specific color image data memorized by said alphabetic character image data memorized by said image data memorized by said 1st storage means and said 2nd storage means and said 3rd storage means.

[0010]

[Function] Therefore, the above configuration can be provided with the image processing system which can perform an image processing at the alphabetic character image of a specific color with the storage means of small capacity.

[0011]

[Example] Hereafter, one example which starts this invention with reference to a drawing is explained to a detail.

[0012]

[The 1st example] An example of the equipment general-view Fig. of this example is shown in drawing 1. 1201 is manuscript base glass and the manuscript 1202 which should be read is placed. A manuscript 1202 is irradiated by lighting 1203 and an image is tied on CCD1208 according to optical system 1207 through mirrors 1204-1206. Furthermore, the mirror unit 1210 which includes a mirror 1204 and lighting 1203 mechanically by the motor 1209 is a rate  $V$ , the 2nd mirror unit 1211 containing mirrors 1205 and 1206 is driven by rate  $V/2$ , and the whole surface of a manuscript 1202 is scanned.

[0013] 1212 is the image-processing section and is a part which processes a reading \*\*\*\* image as an electrical signal, and is outputted as a printing signal. 1213-1216 are semiconductor laser and, therefore, the laser beam which drove with the printing signal outputted from the image-processing section 1212, and therefore emitted light to each semiconductor laser forms a latent image on a photoconductor drum 1225-1228 at the polygon mirrors 1217-1220. 1221-1224 are the development counters for therefore developing a latent image at the toner of Black K, Yellow Y, Cyanogen C, and Magenta M, respectively, the developed toner of each color is imprinted by the record form, and a full color printout is made.

[0014] Through the resist roller 1233, on the imprint belt 1234, it adsorbs and the form cassettes 1229-1231 and the record form to which paper was fed from either of the detachable trays 1232 are conveyed. Synchronizing with the timing of feeding, the toner of each color is beforehand developed by photoconductor drums 1228-1225, and a toner is imprinted by the record form with conveyance of a record form.

[0015] Separation conveyance is carried out from the imprint belt 1234, therefore, a record form is fixed to a toner and the record form with which the toner of each color was imprinted is delivered to a fixing assembly 1235 at a paper output tray 1236. Drawing 2 and drawing 3 are the block diagrams showing the example of a configuration of the image-processing section 1212. the analog picture signal which 202 is circuit S/H-A/D which performs a sample, hold, and A/D conversion in drawing 2, and CCD1208 outputted -- a sample -- and it holds, A/D conversion is carried out further, and the digital image signal of RGB3 color is outputted.

[0016] 203 is a shading circuit, and amends and outputs the picture signal inputted from S/H-A/D202 according to the sensibility of CCD1208. 204 is an input masking circuit, and amends and outputs the picture signal inputted into CCD1208 from the shading circuit 203 according to the spectral sensitivity characteristic. 205 is a variable power processing circuit, processes expansion, contraction, etc. of an image to the picture signal inputted from the input masking circuit 204, and outputs them to it to the compression elongation section 111 and the alphabetic character image detecting element 112.

[0017] The alphabetic character image detecting element 112 consists of memory b215 which memorizes the detection result of the black detector 213 which detects black, the alphabetic character detector 214 which detects an alphabetic character, and the alphabetic character detector 214 from the inputted image data. 4x4 blocks of detection results of the black detector 213 turn in the black detector 213, and they are memorized by the memory a207 of the compression elongation section 111.

[0018] The compression elongation section 111 consists of the compression circuit 206 which compresses the inputted image data, memory a207 which memorizes compressed data, and an elongation circuit 208 which elongates and outputs compressed data. 216 is the field generation section and generates horizontal scanning for writing memory a207 and memory b215, and a vertical-scanning lead / write enable signal based on the output signal DTOP, the output signal ITOP of a paper point sensor (un-illustrating), and Horizontal Synchronizing signal Hsync of a drawing point sensor (un-illustrating).

[0019] In addition, a paper point sensor detects the tip of the form to which paper was fed on the imprint belt 1234, and the output signal ITOP of a paper point sensor is used as a vertical-scanning synchronizing signal at the time of being sent to an image read station from the printer section, and an image read station sending a picture signal to the printer section. In drawing 3, 209 is masking / UCR circuit, it carries out masking processing of the RGB image data inputted from the elongation circuit 208 at the MCYK image data for printers, and also performs lower color removal (henceforth "UCR") processing, and outputs four data of MCYK, and four data of the lower color (Mk, Ck, Yk, Kk) removed by UCR.

[0020] Although 210 is an image area separation processing processing circuit and being mentioned later for details, based on the detection result of the alphabetic character image detecting element 112, the image processing of the image data inputted from masking / UCR circuit 209 is carried out. 211 is a gamma correction circuit, according to the property of laser drivers 1213-1216 etc., carries out gamma amendment of the image data inputted from the image area separation processing circuit 210, and outputs it.

[0021] 212 is an edge intensifier, and emphasizes and outputs the image edge of image data inputted from the gamma correction circuit 211. The image data which the edge intensifier 212 outputted is sent to laser drivers 1213-1216, and a color picture is formed. Next, the alphabetic character image detecting element 112 is explained to a detail. Drawing 4 and drawing 5 are the block diagrams showing the detailed example of a configuration of the black detector 213 and the alphabetic character detector 214.

[0022] In drawing 4, 301 and 302 are the minimum value detector Min and the maximum detector Max, respectively, and detect R, G, and B which show maximum and the minimum value, respectively from the inputted RGB image data. 304 is a subtractor circuit and asks for the difference of the output of Max302, and the output of Min301. When the output (it is called a "gray signal" below) of a subtractor circuit 304 is large, the pixel it indicates it to be that R, G, and B which were inputted are uneven, and the inputted RGB image data indicate it to be can judge with it being not an achromatic color (white, gray, and black) but a chromatic color. On the contrary, if the level of a gray signal is small, it can judge with the pixel it indicates it to be that R, G, and B which were inputted are almost comparable level, and the inputted RGB image data indicate it to be being colorless.

[0023] 334 is a 4x4 blocking circuit, and after it turns 4x4 blocks by majority processing etc., it outputs the inputted gray signal to the delay circuit c333. The output of the delay circuit c333 is sent to memory a207 as a detection result of the black detector 214. On the other hand, the output of Min301 is inputted also into the edge intensifier 303. In the edge intensifier 303, the pixel data before and behind  $D_i$  are used for a main scanning direction, and an edge is emphasized as the attention pixel data  $D_i$  by performing the following operations.

[0024]

8-  $[D_{out}=9D_i / (D_{i-1}+D_i+1)]/16$ , however  $D_{out}$ : Image data  $D_i$  after edge enhancement : The well-known approach of not only the approach of the above [ edge enhancement ] not necessarily but the others which are the  $i$ -th pixel data can also be used.

[0025] 305-308 -- the Rhine memory -- it is -- the output of the edge intensifier 303 -- 5x5 blocking --

and 3x3 blocks changes. [ next, ] 309 is a 5x5 average-value circuit, and is outputted in quest of the average value of a 5x5-block pixel. 310 is a 3x3 average-value circuit, and is outputted in quest of the average value of a 3x3-block pixel.

[0026] In drawing 5, 315,320,325 is an adder, respectively, and adds and outputs 5x5 average values outputted from the 5x5 average-value circuit 309, and the offset value set to the register 314,319,324. In addition, a value is set up independently therefore by the offset value of a register 314,319,324 to non-illustrated CPU.

[0027] 313,318,323 is a limiter, respectively, is the limit value set to the register 341,342,343, and clips the 5x5 average to which offset was added. That is, when the 5x5 average to which offset was added exceeds a limit value, the part beyond the limit value is cut. In addition, a value is set up independently therefore by the limit value of a register 341,342,343 to non-illustrated CPU.

[0028] 316 is Comparator a, measures the output of a limiter a313, and the 3x3 average output of the 3x3 average circuit 310, and outputs the binary signal of a comparison result. Binary-ization of the average is more than the concentration of arbitration, and it is performed in order to prevent crushing and the jump of an image by MTF. Moreover, by binary-ization, the 3x3 average circuit 310 was operated as a low pass filter, and the high frequency component of a halftone dot image is cut so that the halftone dot of a halftone dot image may not be detected.

[0029] 317 is the delay circuit d, and in order to double with the timing of the output of the below-mentioned halftone dot field distinction circuit 322, it delays and outputs the binary signal inputted from the comparator a316. Next, 321 is Comparator b, compares the output of a limiter b318 with the image data before equalizing, and outputs the binary signal of a comparison result. The high frequency component of an image is detected by this binary-ization.

[0030] 322 is a halftone dot field distinction circuit, and since the halftone dot image consists of assemblies of a dot, it checked that it was a dot from the direction of an edge, and has detected by counting the number of the dot of the circumference of it. Since the halftone dot field distinction circuit 322 is not the main point of this invention, it omits detailed explanation. 329 is the OR gate and carries out the OR of the output of the halftone dot field distinction circuit 322, and the output of the delay circuit d317.

[0031] 330 is an incorrect judging removal circuit, and images, such as an alphabetic character, are dwindling an image region first to the signal made binary using the property which exists in a large area thinly, and it removes the isolated pixel. Specifically, one judges the main pixel xij in it to be a region outside an alphabetic character image, when the pixel of an alphabetic character image does not exist in the circumference of the main pixel xij, for example, the area of 1mm angle. Thus, after removing the judged isolated pixel, it processes by returning the dwindled image region and fattening it.

[0032] the same -- the output of the halftone dot distinction circuit 322 -- the OR gate 329 -- minding -- misjudgment -- a law -- it is inputted into the removal circuit 330 and becomes thin -- making -- processing -- and it is made to grow fat and processing is performed. It is intermediary \*\*\*\* [ as ] which is dwindled and the judgment result at the time of making it grow fat by [ this ] fattening the mask size of processing, being the same as the mask size of processing, or making it grow fat, and making mask size of processing into size crosses. It is made to specifically become thin with the further 5x5-pixel mask dwindled with the 17x17-pixel mask, and processes by next making it grow fat with a 34x34-pixel mask.

[0033] 331 is an inverter and carries out the reversal output of the output of the incorrect judging removal circuit 330. Next, 326 is Comparator c, compares the output of a limiter c323 with the image data before equalizing, and outputs the binary signal of a comparison result. The high frequency component of an image is detected by this binary-ization. 327 is a profile extract circuit, it is a 5x5-pixel block, dwindles the output of a comparator c326, and outputs as a profile processing and the difference domain which was dwindled with the processing result by making it make grow fat, process and grow fat, and asked for and asked for difference with a processing result.

[0034] 328 is Delay e and doubles the phase of the profile signal which the profile extract circuit 327 outputted, and the incorrect judging removal signal from an inverter 331. 332 is the AND gate and

carries out the AND of the incorrect judging removal signal from an inverter 331, and the profile signal from delay 328. The output of the AND gate 332 is sent to memory b215 as a detection result of the alphabetic character detector 214.

[0035] Drawing 6 is the block diagram showing some examples of a configuration of memory b215, and shows the example of a configuration especially related to alphabetic character image data writing. In drawing 6, 405 is a serial parallel transducer and changes into parallel data the alphabetic character image data sent from the alphabetic character detector 214. 408 is the AND gate, carries out the OR of the horizontal-scanning write enable signal BWHE and the vertical-scanning write enable signal BWVE which are sent from the field generation section 216 shown in drawing 2, and outputs the signal showing the service area of an image.

[0036] 411 is a counting-down circuit and outputs clock 8VCK which carried out 8 dividing of the video clock VCLK synchronizing with BWHE. 418 is the bit map memory for high resolutions, 409, 410 is an address counter, respectively, and an address counter v409 counts the image service area signal from the AND gate 408 by using Hsync as a clock. An address counter h410 counts the image service area signal from the AND gate 408 by using 8VCK as a clock, and, therefore, is reset by Hsync. Both counters of both are address counters for writing image data in the bit map memory 418.

[0037] 413 is Selector a and outputs the light address signal of an input terminal A, and the lead address signal of an input terminal B to address terminal ADR of a change and the bit map memory 418. In addition, about a lead address signal, it mentions later. 419 is a bidirectional buffer for data R/W of the bit map memory 418, and the light / lead signal W/R inputted into Terminal D from the outside output the signal inputted into Terminal A from Terminal C at the time of Light W, and it outputs the signal inputted into Terminal C from Terminal B at the time of Lead R.

[0038] 406 is the AND gate, and 415 is the NOR gate and generates the bit map memory light signal WR from 8VCK(s) reversed with the inverter 412, and W/R from the outside. Next, an example of write-in actuation of alphabetic character image data is explained. By the serial parallel transducer 405, the AND of the alphabetic character image data changed into 8-bit parallel data and the image service area signal from the AND gate 408 is carried out in the AND gate 406, and the alphabetic character image data which exists in an image service area is inputted into the terminal A of the bidirectional buffer 419.

[0039] With the bidirectional buffer 419, if signal W/R of Terminal D shows Light W, alphabetic character image data will be outputted from this terminal C. From the bidirectional buffer 419, the alphabetic character image data inputted into the terminal DAT of the bit map memory 418 is written in the address which the address counter v409 and address counter h410 of the bit map memory 418 show synchronizing with the signal WR which the NOR gate 415 outputs.

[0040] Drawing 7 is the timing chart of the example of alphabetic character image data write-in actuation to the bit map memory 418. In drawing 7, the alphabetic character image data as which Dt0-Dt7 are inputted into the bit map memory 418, the clock with which 8VCK carried out 8 dividing of the video clock VCLK, the alphabetic character image data by which serial parallel conversion of the DATA was carried out, and WR are [ the output of an address counter h410 and the vertical-scanning address of the light / lead signal of the bit map memory 418, and the horizontal-scanning address ] the outputs of an address counter v409.

[0041] The alphabetic character image data Dt0-Dt7 is the serial parallel transducer 405, and is written in the address mn of the address n which is changed into parallel data DATA, is latched by 8VCK, and is shown in the horizontal-scanning address and the vertical-scanning address, for example, the horizontal-scanning address, and the vertical-scanning address m. Drawing 8 is the block diagram showing some examples of a configuration of memory b215, and shows the example of a configuration of a lead address counter especially.

[0042] For 601, as for the cyanogen lead address counter CRead and 603, in drawing 8, the Magenta lead address counter MRead and 602 are [ the yellow lead address counter YRead and 604 ] the black lead address counters KRead. 606 is an inverter and carries out the reversal output of RPH0 which carried out 4 dividing of the VCLK mentioned later.

[0043] Furthermore, MRead601 consists of the above-mentioned light address counter, an address counter v607 which synchronizes with vertical scanning similarly, and an address counter h608 which synchronizes with horizontal scanning. NAND gate 610 carries out the nonconjunction of horizontal-scanning lead enable signal BRHE sent from the field generation section 216 shown in drawing 2, and the vertical-scanning Magenta lead enable signal BMRVE, and outputs the signal showing the service area of a Magenta image.

[0044] Like NAND gate 610, NAND gates 611-613 carry out the nonconjunction of horizontal-scanning lead enable signal BRHE, and vertical-scanning lead enable signal BCRVE for each colors (cyanogen), BYRVE (yellow) and BKRVE (black), and output the signal showing the image service area of each color. An address counter v607 counts the Magenta image service area signal from NAND gate 610 by using Hsync as a clock. An address counter h608 counts the Magenta image service area signal from the AND gate 610 by using the output of an inverter 606 as a clock, and is reset by Hsync.

[0045] CRead602, YRead603, and KRead604 consist of two address counters, and count the image service area signal of each color. [ as well as MRead601 ] 605 is the selector b of 4 input 1 output, and chooses and outputs one of the outputs of four address counters based on RPH0 and RPH1 which carried out 8 dividing of the VCLK mentioned later. When RPH0 and RPH1 are '0', the output of MRead601 is [ RPH0 ] specifically [ both ] '1'. When RPH1 is '0', the output of CRead602 is [ RPH0 ] '0', and when RPH1 is '1' and the output of YRead603 is [ RPH0 and RPH1 / both ] '1', the output of KRead604 is chosen.

[0046] The output of a selector 605 is inputted into the terminal B of a selector a413 shown in drawing 6, and is sent to the bit map memory 418 at the time of a Read mode. Drawing 9 is the block diagram showing some examples of a configuration of memory b215, and shows the example of a configuration related to the data playback at the time of bit map memory 418 read-out especially. 701 is the AND gate and generates the signal showing a Magenta color image service area from horizontal-scanning lead enable signal BRHE and vertical-scanning Magenta lead enable signal BMRVE.

[0047] Similarly, 702-704 generate the signal showing the image service area of each color in the AND gate from horizontal-scanning lead enable signal BRHE, and vertical-scanning lead enable signal BCRVE (cyanogen) of each color, BYRVE (yellow) and BKRVE (black). As for 714-721, a D flip-flop (henceforth "D-F/F"), and 722-725 are parallel serial conversion machines, and 705-708 are the AND gates, they carry out the AND of the alphabetic character image data of each color, and the image service area signal of each color, and output them.

[0048] 713 is a counting-down circuit b and generates six clocks of RCLK1-RCLK4 of desired timing, and RPH0 and RPH1 from VCLK and Hsync. The alphabetic character image data from the bidirectional buffer 419 shown in drawing 6 is inputted into D-F/F 714-717, and is divided into the alphabetic character image data of MCYK each color which is RCLK2 in D-F/F715, and was RCLK3 in D-F/F716, and it is RCLK1 and was stored [ at D-F/F717, was latched by RCLK4, and ] in each address by D-F/F714.

[0049] Then, each image data is latched by RCLK1 in D-F/F 718-721, and is changed into serial data with the parallel serial conversion vessels 722-725. Furthermore, the AND of the alphabetic character image data of each color and the image service area signal of each color is carried out in the AND gates 705-708. The alphabetic character image data which is 4 bits of each color which the AND gates 705-708 outputted is sent to the image area separation processing circuit 210 as the output MjAr of memory b215 shown in drawing 2, i.e., an alphabetic character detecting signal, and desired image area separation processing is made.

[0050] Drawing 10 is the timing chart of the example of alphabetic character image data readout actuation from the bit map memory 418. In drawing 10, M address, C address, Y address, and K address are the address counters and the output values of MRead601, CRead602, YRead603, and KRead604 which are shown in drawing 8, respectively.

[0051] M data, C data, Y data, and K data are outputs of D-F/F and D-F/F 714-717 shown in drawing 9, respectively. MCYK data are an output of D-F/F 718-721 shown in drawing 9. With the inverter 604 shown in drawing 8, the horizontal-scanning address, n1, n2, n3, and n4, obtained from the address



counter h of each color is the selector b605 shown in drawing 8, and they make RPH0 and RPH1 a selection signal by using as a clock the signal which reversed RPH0, for example, it is chosen in order of Mn, Cn, Yn, and Kn. [ for example, ] furthermore, Yn is RCLK3, Kn is RCLK4, Mn is RCLK1 and M data, C data, Y data, and K data (for example, -- n -- one -- ' -- n -- two -- ' -- n -- three -- ' -- and -- n -- four -- ') are generated [ Cn is RCLK2 and / it is latched by D-F/F 714-717 shown in drawing 9, and ]. M data, C data, Y data, and K data furthermore, by RCLK1 <A To HREF="/Tokujitu/tjitemdrw.ipdl?N0000=237&N0500=1 E\_N/:?:>7<89>///&N0001=226&N0552=9&N 0553= 000011" TARGET="tjitemdrw"> drawing 9 It is latched to shown D-F/F 718-721, and the synchronization of the data of four colors is taken, further, parallel serial conversion is carried out and the alphabetic character image data of MCYK each color is obtained.

[0052] Although read/write is not made to coincidence with the above configuration, this is for example, serial parallel conversion, and it is possible by making it 1->4 from 1->8. Next, the example of the compression elongation section 111 of operation shown in drawing 2 is explained. The following [ drawing 11 is drawing showing an example of the condition of a pixel ] explains the example of compression actuation of the image data of the slash section of drawing 11.

[0053] One mass of drawing 11 is equivalent to 1 pixel, and this 1 pixel consists of a total of 24-bit data of 8 bits each of RGB.  $L^*a^*b^*$  conversion of this is done using 4 pixel x4 line, i.e., the data for 16 pixels, as 1 block, and a total of 384 bits (16 pixel x3 color x8 bit) data is further compressed into 1/12, and it considers as 32-bit data.

[0054] Compression image data A which the memory c1001 contained in memory a207 was made to memorize this compressed image data A, and was memorized by memory c1001 is elongated in the elongation circuit 208 at delivery and the image data of 8 bits of each RGB. two memory of an image memory with a data width of face of 32 bits which can access the memory c1001 of this example in the same address, and BITSUTOTSUPU memory -- with, it is. To the timing of BWVE shown in drawing 12 (a), compression image data A is memorized in the image memory of the single address of memory c1001 which an address counter 1004 points out, and the detection result of the black detector 213 shown at drawing 2 is memorized by bit map memory at coincidence.

[0055] Moreover, compression image data A is read from the image memory of the single address of memory c1001 which an address counter 1004 points out to the timing of BRMVE, BRCVE and BRYVE which are shown in drawing 12 (b) - (d), and BRKVE, and a black detection result is read from bit map memory to coincidence. In addition, although memory c1001 is constituted from a DRAM, it can also consist of storage means other than DRAM.

[0056] Drawing 13, drawing 14, and drawing 15 are the block diagrams showing some examples of a configuration of memory a207, and show the example of a configuration of an address-generation circuit especially. In addition, this address-generation circuit carries out time sharing of the block of 4 pixel x4 line as shows an example to drawing 16 to eight small blocks, determines beforehand the writing of the image data to memory, read-out of each color, etc. for every small block, and is for accessing independently to the address of room, respectively.

[0057] In drawing 13, 1300-1307 latch the initial value of a main scanning direction on a data bus DB by latch with the latch signals CS0-CS7 from CPU (un-illustrating), respectively. For example, 000H, 810H, 020H, 830H, 040H, 850H, 060H, and 870H ('H' of a tail means a hexadecimal) are latched to latches 1300-1307 in order.

[0058] 1308 is Selector a and chooses the initial value latched to latches 1300-1307 with select signals PHS1-PHS3 for each [ are shown in drawing 15 ] the smallness block of every. It is Counter a, 1309 is reset by Hsync, and when enable signal XENB is '1', it is counted up every 4 pixels by using as a clock RPH0 which carried out 4 dividing of the VCLK.

[0059] 1310 is Adder a, subtracts and adds two data inputted into input terminals A and B, and outputs Data XADR. An adder a1310 makes Signal XOFF the most significant bit of the output of a selector a1308, and when XOFF is '0' and XOFF is '1' about addition, it performs subtraction. In the small block a shown in drawing 15, it counts up with 000H, 001H, 002H, and ..., and counts down with 010H, 00FH, 00EH, and ... in the small block b, and it is the same as that of the following, and counts down

with 070H, 06FH, 06EH, and ... in the small block h.

[0060] Next, in drawing 14, blocks 1431-1438 are the same configurations altogether, since the actuation is also the same, hereafter, explain the configuration and actuation of block 1431 and omit explanation of blocks 1432-1438. In drawing 14, 1401 is Latch i and latches the initial value of the direction of vertical scanning on a data bus DB with the latch signal CS 8 from CPU (un-illustrating).

[0061] It is Counter b, 1426 is reset by the reset signal RST generated in the power up of this example, and when enable signal YENB is '1', it is counted up every four lines by 4HSNC(s) which carried out 4 dividing of the Hsync. 1409 is Adder b, subtracts and adds the initial value Y10 latched to the latch a1401, and the counted value C1 of a counter b1426, and outputs addition-and-subtraction result  $Y10**C1$ . in addition, a main scanning direction -- the same -- an adder b1409 -- the most significant bit of of latch i1401 output -- Signal YOFF -- carrying out -- YOFF -- '0' -- if it becomes -- adding -- YOFF -- '1' -- subtraction will be performed if it becomes.

[0062] 1417 is Latch q and latches 1 per one sheet of record form, and addition-and-subtraction result  $Y10**C1$  with the latch signal PS 0 which synchronized the output of an adder b1409 with the standup of vertical-scanning lead enable signal BRVE. 1425 is Selector b, and chooses and outputs addition-and-subtraction result  $Yn0**C1$  from blocks 1431-1438 with select signals PHS1-PHS3.

[0063] In addition, PS0, PS2, and PS4 depend NC from the vertical-scanning write enable signal BWVE, PS1 depends PS4 vertical-scanning yellow lead enable signal BYRVE, PS6 is generated from vertical-scanning cyanogen lead enable signal BCRVE, and PS5 generates [ BMRVE / vertical-scanning Magenta lead enable signal ] PS7 for the latch signals PS0-PS7 from vertical-scanning black lead enable signal BKRVE.

[0064] 1427 is Adder j, subtracts and adds output  $Yn0**C1$  of a selector b1425, and the counted value C2 of a counter b1426, and outputs addition-and-subtraction result  $YADR=(Yn0**C1)**C2$ . an adder j1427 -- the most significant bit of the output of a selector b1425 -- Signal YOFF -- carrying out -- YOFF -- '0' -- if it becomes -- adding -- YOFF -- '1' -- subtraction will be performed if it becomes.

[0065] That is, YADR becomes  $Yn0-(C2-C1)$ , when YOFF is '0' and  $Yn0+(C2-C1)$  and YOFF are '1', and YADR is outputted as a value which subtracted and added initial value  $Yn0$  and actual counted value  $(C2-C1)$ . In drawing 15, 1501 is Latch y and latches the address exchange signal XYCHG on a data bus DB with the latch signal CS 16 from CPU (un-illustrating). In addition, for every small block shown in drawing 16, it is the signal which replaces XADR and YADR, XYCHG is not replaced when the correspondence bit of XYCHG is '0', but when the correspondence bit of XYCHG is '1', it replaces XADR and YADR.

[0066] 1502 is Selector c, and chooses and outputs the bit of XYCHG latched to the latch y1501 with selection signals PHS1-PHS3. 1503 and 1504 are selectors and, therefore, carry out the selection output of XADR or the YADR at the output of a selector c1502. D-F/Fa1505 outputs the main scanning direction address XMA, D-F/Fb1506 outputs the direction address YMA of vertical scanning, D-F/Fc1507 makes the correspondence bit of XYCHG the 0th bit of Signal ROT, in D-F/Fd1508, 1505-1509 are D-F/F and D-F/Fe1509 outputs [ XOFF is outputted as the 1st bit of ROT and ] YOFF as the 2nd bit of ROT. In addition, since VCLK is altogether supplied as a clock, each bit of XMA, YMA, and ROT synchronizes, and is outputted to D-F/F 1505-1509.

[0067] In addition, Signal ROT is a signal for rotating an output image, as an example is shown in drawing 17. To the time usual sense [ = / '000' / ROT ], at the time of ( drawing 17 (a) ) and ROT= '001' to the sense of drawing 17 (b) To the sense of drawing 17 (c), at the time of ROT= '010', at the time of ROT= '011' to the sense of drawing 17 (d) An image is outputted to the sense of drawing 17 (e) to the sense of drawing 17 (h) at the sense of drawing 17 (g) at the sense of drawing 17 (f) at the time of ROT= '111' at the time of ROT= '110' at the time of ROT= '101' at the time of ROT= '100'.

[0068] When the image which shows ROT to drawing 17 (a) by the above approach according to the sense of the image outputted with the small block b of drawing 16 by reading image data from memory c1001 to memory c1001 as it is by ROT= '000' in writing and Blocks e, f, g, and h is inputted, eight kinds of output images shown in this drawing (a) - (h) are obtained.

[0069] Next, the image area separation processing circuit 210 is explained. The image area separation

processing circuit 210 performs the following processings to each data of a black alphabetic character, a color alphabetic character, a halftone dot image, and a halftone image based on the detection result of the alphabetic character image detecting element 112, respectively.

The signal searched for by the Sumi extract as processing 1 video to [processing 1] black alphabetic data is used.

[0070] 2) MCY image data -- the achromatic color detecting signal RGBi or the set point -- therefore, subtract. on the other hand -- K image data -- the achromatic color detecting signal RGBi or the set point -- therefore, it adds.

3) Perform edge enhancement.

4) Output black alphabetic data by 400dpi.

[0071] 5) Perform the color remaining removal processing.

Processing 1 edge enhancement to [processing 2] color alphabetic data is performed.

2) Output color alphabetic data by 400dpi.

Smoothing of every 2 pixels is carried out to a main scanning direction for the cure against processing 1 moire to [processing 3] halftone dot image data.

[0072] Selection every 2 pixels smoothing or through is made in processing 1 main scanning direction to [processing 4] halftone image data.

Next, the circuit which performs the above-mentioned processing is explained. Drawing 18 and drawing 19 are the block diagrams showing the detailed example of a configuration of the image area separation processing circuit 210. However, this drawing shows the example of a configuration of only M component. Other three colors C, Y, and K are the same configurations, and explanation is omitted in this drawing and the following.

[0073] In drawing 18, 2106 is Selector a and carries out the selection output of one of the image data M or Mk inputted from masking / UCR circuit 210 shown in drawing 3. Therefore a selector a2106 is controlled by the selection signal which the AND gate 2107 outputs, and when the selection terminal S is '0' and the selection terminal S is '1' about the signal of an input terminal A, it outputs the signal of an input terminal B. In addition, this selection signal is the AND of 1 bit of the alphabetic character detecting signal MjAr, 1 bit of the achromatic color detecting signal RGBi, and set point I/O -6 of an I/O Port.

[0074] Although 2118 is an alphabetic character field expansion circuit, and 2116 is the color remaining removal circuit and being mentioned later for details, the enable signal which the AND gate 2117 outputs is followed. 2115 is a multiplier and performs the output of a selector 2106, and multiplication with I/O -1. As for the exclusive-OR (henceforth "XOR") gate, and 2122 and 2127, 2120 is [ the AND gate and 2124 ] adder subtracters.

[0075] As for an inverter and 2146, 2144 is [ the AND gate and 2148 ] the OR gates, and 2143 is Delay c and doubles the synchronization with the output of a selector c2142, and the output of the OR gate 2148. In drawing 19, 2126 and 2128 are the Rhine memory, memorize the data for one line and delay them.

[0076] 2130 is an edge intensifier, 2131 is a smoothing circuit, and 2133 is Selector b, and chooses and outputs either the smoothing output which the smoothing circuit 2131 outputted, or the through data which does not pass through the smoothing circuit 2131 with the selection signal from the delay a2132 for a synchronization. In addition, when the selection terminal S is '0' and the selection terminal S is '1' about the signal of an input terminal A, the signal of an input terminal B is outputted.

[0077] 2142 is Selector c, and chooses and outputs either the output of the edge intensifier 2130, or the output of a selector b2133. Therefore a selector c2142 is controlled by the selection signal which the AND gate 2141 outputs, and when the selection terminal S is '0' and the selection terminal S is '1' about the signal of an input terminal A, it outputs the signal of an input terminal B. This selection signal is the AND gate 2141, and carries out the AND of what carried out the OR of 1 bit and I/O -8 of the alphabetic character detecting signal MjAr which passed through the delay b2136 for a synchronization in the OR gate 2139, and I/O -9 further.

[0078] Moreover, the image area separation processing circuit 210 is connected with the CPU (un-

illustrating) bus through I/O Port 1010. Hereafter, it divides into three blocks and actuation is explained. The 1st block is a block which subtracts at a certain rate to the color remaining removal processing in which the chrominance signal which remains in the perimeter of an edge of black alphabetic data is removed, and the YMC data of the black alphabetic character section, and is added at a certain rate to K data.

[0079] For smoothing and gradation image data, the 2nd block is a block with which it carries out through to edge enhancement and halftone dot image data to alphabetic data. The 3rd block is a block which sets the output of the OR gate 2148 to 'L', and carries out an image output by 400dpi to alphabetic data.

In [color remaining removal processing and addition-and-subtraction processing] the 1st block both, processing is performed to the edge and periphery of the image part from which the achromatic color detecting signal RGBi and the alphabetic character detecting signal MjAr are set to '1', i.e., a black alphabetic character.

[0080] That is, removal of the MCY component protruded from the edge section of a black alphabetic character and edge enhancement processing of a black alphabetic character are performed. Next, concrete explanation of operation is given. First, when MjAr is '1' and RGBi(s) are '1', I/O -6'0', a selector a2106 chooses and outputs image data M. Subtraction data are generated in a multiplier 2115, XOR gate 2120, and the AND gate 2122. That is, the multiplication of the output of a selector a2106 and the value set to I/O -1 is carried out with a multiplier 2115, the data which doubled the output of a selector a2106 0-1 are outputted, and the two's complement data of the output of a multiplier 2115 are outputted from the AND gate 2122 by setting I/O -4 to '1'.

[0081] Finally, although the input A from the color remaining removal circuit 2116 and the input B from the AND gate 2122 are added with an adder 2124, from the input B from the AND gate 2122 being a two's complement, it becomes subtraction A-B in fact, and a subtraction result is outputted. Next, when MjAr is '1' and RGBi(s) are '1', I/O -6'1', a selector a2106 chooses and outputs image data Mk.

[0082] Addition data are generated in a multiplier 2125, XOR gate 2120, and the AND gate 2122. That is, since '0' is set to I/O -4 unlike processing of image data M, from the AND gate 2122, the result of a multiplier 2115 is outputted as it is, and addition result A+B is outputted from an adder 2124. Drawing 20 is drawing showing an example of addition-and-subtraction processing to above-mentioned black alphabetic data.

[0083] the part which shows this drawing (a) and (c) by 810 of a black alphabetic character "N" in drawing 20 -- an example [ concentration / M (or C, Y) concentration and / K ] of change is expressed, respectively. To M data of this drawing (a), subtraction of concentration is given and the place whose alphabetic character detecting signal MjAr is '1' serves as an example of concentration distribution shown in this drawing (b).

[0084] Moreover, to K data of this drawing (c), addition of concentration is given and the place whose MjAr is '1' serves as an example of concentration distribution shown in this drawing (d). Although the edge of a black alphabetic character is formed in about K monochrome by the above-mentioned processing, the M data 802 and 803 left behind to the outside of the edge shown in this drawing (b) remain as the color remainder around an alphabetic character.

[0085] It is the range of the field of the alphabetic character section where the \*\*\*\*\* removal circuit 2116 removes this color remainder, and the alphabetic character field expansion circuit 2118 extended this processing, and is the outside of the range where alphabetic data is smaller than the threshold which CPU sets, i.e., the alphabetic character section, and about an attention pixel with possibility that the color remainder will arise, the minimum value of 5 pixels is investigate around an attention pixel 3 pixels or approximately, and let an attention pixel be this minimum value.

[0086] Drawing 21 is the block diagram showing the example of a configuration of the alphabetic character field expansion circuit 2118. As for D-F/F, and 2264-2267, in drawing 21, 2260-2263 are [ the AND gate and 2268 ] the OR gates. The alphabetic character image data corresponding to '1' in the alphabetic character detecting signal MjAr of the input of each AND gate if I/O -12, I/O -13, I/O -14, and I/O -15 are altogether set to '1' on the other hand is expanded to a main scanning direction by 2

pixels approximately.

[0087] Moreover, if I/O -12 and I/O -15 are set to '0' and I/O13 and I/O -14 are set to '1', the alphabetic character image data corresponding to '1' in MjAr will be expanded to a main scanning direction by 1 pixel approximately. Drawing 22 is the block diagram showing the detailed example of a configuration of the color remaining removal circuit 2116. In drawing 22, 2157 is 3 pixel minimum value selector 3Min, to the image data inputted from the selector a2106 shown in drawing 18, chooses the image data which shows the minimum value, and outputs the 3-pixel minimum data from 1 pixel a total of 3 pixels an attention pixel and approximately [ its ].

[0088] 2158 is 5 pixel minimum value selector 5Min, to the image data inputted from the selector a2106, from 2 pixels a total of 5 pixels, chooses the image data which shows the minimum value, and outputs the 5-pixel minimum data an attention pixel and approximately [ its ]. 2155 is a comparator, the size of the image data inputted from the selector a2106 and the value set to I/O -18 is compared, and when the value of I/O -18 is large, a comparison result '1' is outputted.

[0089] As for a selector, and 2153 and 2154, 2161 and 2162 are [ the OR gate and 2163 ] NAND gates, respectively. In drawing 22, a selector d2161 chooses and outputs the 3-pixel minimum data or the 5-pixel minimum data based on the value set to I/O -19. In addition, the direction of the 5-pixel minimum data has the large color remaining removal effectiveness, and CPU sets up automatically [ the which minimum data are made to choose it as a selector d2161 / the user of this example is a manual or ].

[0090] A selector e2164 chooses and outputs the signal of an input terminal B, when the output of NAND gate 2163 is '0' and the output of NAND gate 2163 is '1' about the signal of an input terminal A. That is, within limits which input-statement stroke image data are smaller than the value of I/O -18, and the output of a comparator 2155 is '1', and extended the alphabetic character field, when the output of the AND gate 2117 shown in drawing 18 is '1', the 3-pixel minimum data inputted into the input terminal A or the 5-pixel minimum data serves as an output of the color remaining removal circuit 2116. However, I/O -16 and I/O -20 are '1', I/O -17'0' at this time.

[0091] In addition, when the signal of an input terminal B is chosen, through data serve as an output of the color remaining removal circuit 2116. Moreover, the signal EXCON inputted into the OR gate 2153 is for using instead of being a comparator 2155, when the signal which made the luminance signal binary in the color remaining removal circuit 2116 is inputted.

[0092] Drawing 23 is drawing showing an example of the above-mentioned color remaining removal processing and subtraction processing. In drawing 23, this drawing (a) expresses an example of change of M (or C, Y) concentration of the part shown by 910 of a black alphabetic character "N." In the profile parts 902,903,906 and 907 shown in the field judged in M (or C, Y) data to be an alphabetic character, i.e., this drawing, (a), the color remaining parts 901 and 904 become concentration 0 with concentration 0 by the color remaining removal processing by subtraction processing. This drawing (b) shows an example of the concentration distribution after both processings.

[0093] In addition, the above-mentioned processing is not performed to a color alphabetic character. In [edge enhancement or smoothing processing] the 2nd block, smoothing is performed to edge enhancement and halftone dot image data to alphabetic data, and through [ of the gradation image data ] is carried out. Since the alphabetic character detecting signal MjAr is '1' when judged with alphabetic data, the output of the edge intensifier 2130 shown in drawing 19 is chosen and outputted by the selector c2142.

[0094] In addition, edge enhancement processing in the edge intensifier 2130 is called for from the pixel block of 3x3 as shown in drawing 24, and a degree type.

$A + \alpha \{4A - (B + C + D + E)\}$

however -- concentration alpha: of the concentration B-E:circumference pixel of A:attention pixel -- that to which '1' and MjAr processed the output of the Rhine memory a2126 in the smoothing circuit 2131 since the halftone dot signal SCRN was '0' is chosen and outputted by the selector b2133 and the selector c2142 at the time of 0, 1/2 / 7 / 1, next halftone dot image data. [ 8 and 2 ] [ 8, ..., 7 ] [ 8 and 1 ]

[0095] In addition, as shown in drawing 25, smoothing processing of the smoothing circuit 2131 asks for an average with the data VN of an attention pixel, and data VN-1 of a front pixel, uses an average

value  $(VN+VN-1)/2$  as the data of an attention pixel, and prevents the moire which is easy to produce in the halftone dot section. At the time of the halftone data which are not an alphabetic character and an alphabetic character edge, or a halftone dot, either, MjAr and SCRn are chosen by the selector b2133 and the selector c2142, without performing an image processing to the output of the Rhine memory a2126 as it is, since it is '0', and it is outputted.

[0096] In addition, to color alphabetic data, as for the above-mentioned processing, \*\*\*\*\* is not given for MjAr by '1', either. In addition, in the above-mentioned explanation, although the example which performs the color remaining removal processing only to a main scanning direction was shown, horizontal scanning and the direction of vertical scanning can also perform the color remaining removal processing.

In [alphabetic character section 400dpi output-processing] the 3rd block, 200 / 400 change signals are outputted from the OR gate 2148 synchronizing with the output of a selector c2142 shown in drawing 18. Since 200 / 400 change signals reversed the alphabetic character detecting signal MjAr, 200 / 400 change signals are '0' at the time of alphabetic data, and are '1' at the times other than alphabetic data.

[0097] Therefore, the alphabetic character section and the edge section of an alphabetic character are outputted in 400dpi, and others are outputted by 200dpi. As mentioned above, after performing above-mentioned processing to each image data of four colors, gamma amendment of is done in the gamma correction circuit 211 shown in drawing 3, edge enhancement is carried out in the edge intensifier a212, and it sends to laser drivers 1213-1216. Moreover, in order to synchronize 200 / 400 change signals of 4 classification by color with the output of the edge intensifier a212, they let delay b223 pass and send it to laser drivers 1213-1216.

[0098] As explained above, while compressing and memorizing the inputted color picture data according to this example, by alphabetic character detection and black detection, from these color picture data, black alphabetic character image data is extracted, and the extracted black alphabetic character image data compresses and memorizes it. Furthermore, while elongating the memorized compression color picture data, a black character manipulation is performed by the black alphabetic character image data separately memorized to the color picture data elongated and obtained. Therefore, the high output of the image quality which is small memory space and performed the black character manipulation can be obtained.

[0099] In addition, even if it applies this invention to the system which consists of two or more devices, it may be applied to the equipment which consists of one device. Moreover, it cannot be overemphasized that it can apply also when therefore attained by that this invention supplies a program to a system or equipment.

[0100]

[Effect of the Invention] As explained above, according to this invention, the image processing system which can perform an image processing to the alphabetic character image of a specific color can be offered with the storage means of small capacity.

---

[Translation done.]

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing an example of an equipment general view of one example concerning this invention.

[Drawing 2]

[Drawing 3] It is the block diagram showing the example of a configuration of the image-processing section concerning this example.

[Drawing 4]

[Drawing 5] It is the block diagram showing the detailed example of a configuration of a black detector and an alphabetic character detector concerning this example.

[Drawing 6] It is the block diagram showing some examples of a configuration of the memory b concerning this example.

[Drawing 7] It is the timing chart of the example of alphabetic character image data write-in actuation to the bit map memory concerning this example.

[Drawing 8]

[Drawing 9] It is the block diagram showing some examples of a configuration of the memory b concerning this example.

[Drawing 10] It is the timing chart of the example of alphabetic character image data readout actuation from the bit map memory concerning this example.

[Drawing 11] It is drawing showing an example of the condition of the pixel concerning this example.

[Drawing 12] It is drawing showing an example of the R/W timing of the memory c concerning this example.

[Drawing 13]

[Drawing 14]

[Drawing 15] It is the block diagram showing some examples of a configuration of the memory a concerning this example.

[Drawing 16] It is drawing showing an example which carries out time sharing of the block of 4 pixel x4 line concerning this example to eight small blocks.

[Drawing 17] It is drawing showing an example which therefore made the signal ROT concerning this example rotate an output image.

[Drawing 18]

[Drawing 19] It is the block diagram showing the detailed example of a configuration of the image area separation processing circuit concerning this example.

[Drawing 20] It is drawing showing an example of addition-and-subtraction processing to the black alphabetic data concerning this example.

[Drawing 21] It is the block diagram showing the example of a configuration of the alphabetic character field expansion circuit concerning this example.

[Drawing 22] It is the block diagram showing the detailed example of a configuration of the color remaining removal circuit concerning this example.

[Drawing 23] It is drawing showing an example of the color remaining removal processing concerning this example, and subtraction processing.

[Drawing 24] It is drawing showing an example of the pixel block of 3x3 for [ concerning this example ] edge enhancement processing.

[Drawing 25] It is drawing showing an example of \*\*\*\* of the pixel about the smoothing processing concerning this example.

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-183761

(43)公開日 平成5年(1993)7月23日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/413	D	8839-5C		
B 4 1 J 2/525				
3/54				
G 0 3 G 15/00	3 0 2			
		7339-2C	B 4 1 J 3/ 00	B
審査請求 未請求 請求項の数 3 (全 30 頁) 最終頁に続く				

(21)出願番号 特願平4-95

(22)出願日 平成4年(1992)1月6日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 栗田 充

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 池田 義則

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

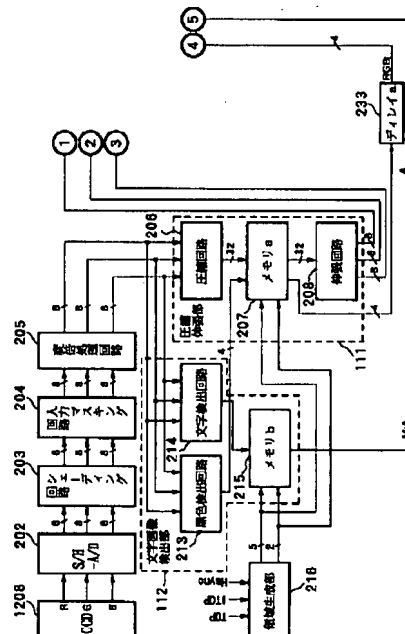
(74)代理人 弁理士 大塚 康德 (外1名)

(54)【発明の名称】 画像処理装置

(57)【要約】 (修正有)

【目的】 少ないメモリ容量で、黒文字画像を黒単色で形成するように画像処理することができるカラー画像処理装置を提供する。

【構成】 CCD1208で読取られたカラー画像データは、複数の画像処理が施された後、圧縮伸張部111で圧縮され記憶されると同時に、文字画像検出部112で黒色画像データと文字画像データが抽出され圧縮せずに記憶される。圧縮伸張部111から伸張して取出されたカラー画像データは、文字画像検出部112から取出された黒色画像データと文字画像データにより、像域分離処理回路で、黒文字画像を黒単色で形成するように画像処理され、その後、画像が形成される。





## 【特許請求の範囲】

【請求項1】 画像データを記憶する第1の記憶手段と、  
前記画像データから文字画像データを抽出する第1の抽出手段と、  
前記第1の抽出手段により抽出された前記文字画像データを記憶する第2の記憶手段と、  
前記画像データから特定色画像データを抽出する第2の抽出手段と、  
前記第2の抽出手段により抽出された前記特定色画像データを記憶する第3の記憶手段と、  
前記第1の記憶手段に記憶された前記画像データと前記第2の記憶手段に記憶された前記文字画像データと前記第3の記憶手段に記憶された前記特定色画像データとから特定の色の文字画像に画像処理を施す画像処理手段とを有することを特徴とする画像処理装置。

【請求項2】 請求項1記載の画像処理装置において、前記第1の記憶手段は前記画像データを  $n1 \times m1$  のブロックに分解した後データ圧縮して記憶し、  
前記第2の記憶手段は前記文字画像データを  $n2 \times m2$  のブロックで記憶し、  
前記第3の記憶手段は前記特定色画像データを  $n3 \times m3$  のブロックで記憶することを特徴とする画像処理装置。

【請求項3】 請求項2記載の画像処理装置において、 $n3 \leq n1 < n2$ 、ただし  $n1, n2, n3$  は自然数  $m3 \leq m1 < m2$ 、ただし  $m1, m2, m3$  は自然数であることを特徴とする画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、画像処理装置に関し、例えば、特定の色の文字画像に画像処理を施す画像処理装置に関するものである。

## 【0002】

【従来の技術】近年、カラー原稿画像を色分解して、各色ごとに画像を読み取り、読取った画像の画像データをデジタル処理し、カラープリンタに出力することによって、カラーハードコピーを得るデジタルカラー複写機が普及しつつあり、カラー複写機の高速度化要求に答えるため、4つの感光ドラムから構成され、各感光ドラムで1色ずつ印刷する方式の、レーザビームプリンタ（以下「LBP」とよぶ）を用いたカラー複写機が提案されている。

【0003】一方、カラー複写機の出力に対して、文字はより文字らしく、イメージはよりイメージらしくという要求があり、この要求に対しては、画像データに像域分離処理を施し、一旦、文字画像データとイメージデータに分離し、文字画像データには高解像処理を、イメージデータには高階調処理をした上で、両画像データを合成して出力する処理が提案されている。なお、文字画像

データの中でも、特に黒文字画像データは、他の文字画像データとは別に、黒単色で形成する処理（以下「黒文字処理」という）がなされる。

【0004】さらに、前述のLBPを用いたカラー複写機においては、画像データを記憶する画像メモリが必須であるが、装置のコストや画像データの伝送レートなどから、画像データを圧縮して記憶することが提案されている。

## 【0005】

【発明が解決しようとしている課題】しかし、上記従来例においては次のような問題点があった。すなわち、画像データを圧縮して画像メモリに記憶するカラー複写機において、像域分離をするための像域判定を行い、その判定結果に基づいて画像処理（例えば黒文字処理）を行う方法として、次の2つの方法が提案されているが、ともに問題点があった。

【0006】（1）画像データを圧縮して、第1のメモリに記憶するとともに、圧縮前の画像データを用いて像域判定を行い、その判定結果を第2のメモリに記憶し、さらに、第1のメモリに記憶された圧縮データを伸張したものに、第2のメモリに記憶された判定結果に基づいて、黒文字処理を施す方法。なお、像域判定の結果は、像域判定用のセンサの解像度（例えば400dpi）と同じ解像度で、第2のメモリに記憶する。

【0007】（2）画像データを圧縮してメモリに記憶し、メモリに記憶された圧縮データを伸張した後、伸張して得た画像データを用いて像域判定を行い、さらに、判定結果に基づいて黒文字処理を施す方法。

（1）の方法の場合、高画質の出力が得られるが、像域判定用のセンサと同じ解像度で、第2のメモリに判定結果を記憶させるため、メモリ容量の大きな第2のメモリが必要で、画像データを圧縮する効果が薄らいでしまった。

【0008】また（2）の方法の場合、像域判定用のメモリは不要だが、圧縮伸張によって画質の低下した画像データを用いて、像域判定および黒文字処理を行うため、出力画像の画質が劣化しやすかった。

## 【0009】

【課題を解決するための手段】本発明は、前記の課題を解決することを目的としたもので、前記の課題を解決する一手段として、以下の構成を備える。すなわち、画像データを記憶する第1の記憶手段と、前記画像データから文字画像データを抽出する第1の抽出手段と、前記第1の抽出手段により抽出された前記文字画像データを記憶する第2の記憶手段と、前記画像データから特定色画像データを抽出する第2の抽出手段と、前記第2の抽出手段により抽出された特定色画像データを記憶する第3の記憶手段と、前記第1の記憶手段に記憶された前記画像データと前記第2の記憶手段に記憶された前記文字画像データと前記第3の記憶手段に記憶された前記特定色

画像データとから特定の色の文字画像に画像処理を施す画像処理手段とを備える画像処理装置とする。

【0010】

【作用】以上の構成によつて、小容量の記憶手段で、特定の色の文字画像に画像処理を施せる画像処理装置を提供できる。

【0011】

【実施例】以下、図面を参照して本発明に係る一実施例を詳細に説明する。

【0012】

【第1実施例】図1に本実施例の装置概観図の一例を示す。1201は原稿台ガラスで、読取られるべき原稿1202が置かれる。原稿1202は、照明1203により照射され、ミラー1204～1206を経て、光学系1207により、CCD1208上に像が結ばれる。さらに、モータ1209により機械的に、ミラー1204、照明1203を含むミラーユニット1210は速度Vで、ミラー1205、1206を含む第2ミラーユニット1211は速度V/2で駆動され、原稿1202の全面が走査される。

【0013】1212は画像処理部で、読取った画像を電気信号として処理し、印刷信号として出力する部分である。1213～1216は半導体レーザで、画像処理部1212より出力された印刷信号により駆動され、それぞれの半導体レーザによつて発光されたレーザ光は、ポリゴンミラー1217～1220によつて、感光ドラム1225～1228上に潜像を形成する。1221～1224は、黒K、イエローY、シアンC、マゼンタMのトナーによつて、それぞれ潜像を現像するための現像器で、現像された各色のトナーは、記録用紙に転写され、フルカラーの印刷出力がなされる。

【0014】用紙カセット1229～1231、および手差しトレイ1232の何れかから給紙された記録用紙は、レジストローラ1233を経て、転写ベルト1234上に、吸着され、搬送される。給紙のタイミングと同期して、予め感光ドラム1228～1225には、各色のトナーが現像されており、記録用紙の搬送とともに、トナーが記録用紙に転写される。

【0015】各色のトナーが転写された記録用紙は、転写ベルト1234から分離搬送され、定着器1235によつて、記録用紙にトナーが定着され、排紙トレイ1236に排紙される。図2、図3は画像処理部1212の構成例を示すブロック図である。図2において、202はサンプルアンドホールドおよびA/D変換を行う回路S/H-A/Dで、CCD1208が出力したアナログ画像信号を、サンプルアンドホールドし、さらにA/D変換して、RGB3色のデジタル画像信号を出力する。

【0016】203はシエーディング回路で、CCD1208の感度に合わせて、S/H-A/D202から入

力された画像信号を補正し出力する。204は入力マスキング回路で、CCD1208に分光感度特性に合わせてシエーディング回路203から入力された画像信号を補正し出力する。205は変倍処理回路で、入力マスキング回路204から入力された画像信号に、画像の拡大や縮小などの処理を施し、圧縮伸張部111と文字画像検出部112へ出力する。

【0017】文字画像検出部112は、入力された画像データから、黒色を検出する黒色検出回路213、文字を検出する文字検出回路214、文字検出回路214の検出結果を記憶するメモリb215からなる。黒色検出回路213の検出結果は、黒色検出回路213で4×4ブロック化され、圧縮伸張部111のメモリa207に記憶される。

【0018】圧縮伸張部111は、入力された画像データを圧縮する圧縮回路206、圧縮データを記憶するメモリa207、圧縮データを伸張し出力する伸張回路208からなる。216は領域生成部で、画先センサ（不図示）の出力信号D TOP、紙先センサ（不図示）の出力信号I TOPおよび水平同期信号H syncに基づいて、メモリa207、メモリb215を読み書きするための、主走査、副走査リード/ライトイネーブル信号を生成する。

【0019】なお、紙先センサは、転写ベルト1234上に給紙された用紙の先端を検知するものであり、紙先センサの出力信号I TOPは、プリンタ部から画像読取部へ送られ、画像読取部がプリンタ部に画像信号を送る際の、副走査同期信号として用いられる。図3において、209はマスキング/UCR回路で、伸張回路208から入力されたRGB画像データを、プリンタ用のMCKYK画像データにマスキング処理するほか、下色除去（以下「UCR」という）処理を施し、MCKYKの4データと、UCRで除去した下色（Mk、Ck、Yk、Kk）の4データとを出力する。

【0020】210は像域分離処理回路で、詳細は後述するが、マスキング/UCR回路209から入力された画像データを、文字画像検出部112の検出結果に基づいて画像処理する。211は $\gamma$ 補正回路で、レーザドライバ1213～1216の特性などに合せて、像域分離処理回路210から入力された画像データを $\gamma$ 補正し出力する。

【0021】212はエッジ強調回路で、 $\gamma$ 補正回路211から入力された画像データの画像エッジを強調して出力する。エッジ強調回路212が出力した画像データは、レーザドライバ1213～1216へ送られ、カラー画像が形成される。次に、文字画像検出部112を詳細に説明する。図4、図5は黒色検出回路213と文字検出回路214の詳細な構成例を示すブロック図である。

【0022】図4において、301と302は、それぞ

れ最小値検出回路Minと最大値検出回路Maxで、入力されたRGB画像データから、それぞれ最大値と最小値を示すR、G、Bを検出する。304は減算回路で、Max302の出力と、Min301の出力との差分を求める。減算回路304の出力（以下「グレイ信号」とよぶ）が大きいときは、入力されたR、G、Bが不均一であることを示し、入力されたRGB画像データが示す画素が、無彩色（白、灰色および黒）でなく、有彩色であると判定できる。逆に、グレイ信号のレベルが小さければ、入力されたR、G、Bがほぼ同程度のレベルであることを示し、入力されたRGB画像データが示す画素が、無彩色であると判定できる。

【0023】334は4×4ブロック化回路で、入力されたグレイ信号を、多数決処理などで4×4ブロック化した後、デレイ回路c333に出力する。デレイ回路c333の出力は、黒色検出回路214の検出結果として、メモリa207に送られる。一方、Min301の出力は、エッジ強調回路303にも入力される。エッジ強調回路303では、注目画素データDiと、主走査方向にDiの前後の画素データを用いて、以下の演算を行うことによりエッジを強調する。

【0024】

$$Dout = 9Di / 8 - (Di-1 + Di+1) / 16$$

ただし、Dout：エッジ強調後の画像データ

Di：i番目の画素データ

なお、エッジ強調は、必ずしも上記の方法に限らず、他の公知の方法を用いることもできる。

【0025】次に、305～308はラインメモリで、エッジ強調回路303の出力を、5×5ブロック化および3×3ブロック化する。309は5×5平均値回路で、5×5ブロックの画素の平均値を求め出力する。310は3×3平均値回路で、3×3ブロックの画素の平均値を求め出力する。

【0026】図5において、315、320、325はそれぞれ加算器で、5×5平均値回路309から出力された5×5平均値と、レジスタ314、319、324にセットされているオフセット値とを加算し出力する。なお、レジスタ314、319、324のオフセット値は、不図示のCPUによつて、独立に値が設定される。

【0027】313、318、323はそれぞれリミッタで、レジスタ341、342、343にセットされているリミット値で、オフセットが加算された5×5平均値をクリップする。すなわち、オフセットが加算された5×5平均値がリミット値を越えるとき、そのリミット値を越えた分がカットされる。なお、レジスタ341、342、343のリミット値は、不図示のCPUによつて、独立に値が設定される。

【0028】316はコンパレータaで、リミッタa313の出力と、3×3平均値回路310の3×3平均値出力とを比較し、比較結果の2値信号を出力する。平均

値の2値化は、任意の濃度以上で、MTFによる画像の潰れや飛びを防止するために行う。また2値化で、網点画像の網点を検出しないように、3×3平均値回路310をローパスフィルタとして機能させ、網点画像の高周波成分をカットしている。

【0029】317はデレイ回路dで、後述の網点領域判別回路322の出力のタイミングに合わせるために、コンパレータa316から入力された2値信号を遅らせて出力する。次に、321はコンパレータbで、リミッタb318の出力と、平均化する前の画像データとを比較し、比較結果の2値信号を出力する。この2値化により、画像の高周波成分が検出される。

【0030】322は網点領域判別回路で、網点画像がドットの集まりで構成されているため、エッジの方向からドットであることを確認し、その周辺のドットの個数をカウントすることにより検出している。網点領域判別回路322は、本発明の主旨ではないので、詳細な説明を省略する。329はORゲートで、網点領域判別回路322の出力と、デレイ回路d317の出力とを論理和する。

【0031】330は誤判定除去回路で、文字などの画像は細く、かつ広い面積に存在する特性を利用して、2値化された信号に対し、まず画像域を細らせることで、孤立した画素を除去する。具体的には、中心画素xijの周辺、例えば1mm角のエリアに、1つも文字画像の画素が存在しないとき、中心画素xijは文字画像外域と判定する。このようにして判定した孤立した画素を除去した後、細らせた画像域を元に戻す太らせ処理を行う。

【0032】同様に、網点判別回路322の出力は、ORゲート329を介して、誤判定除去回路330に入力され、細らせ処理および太らせ処理が行われる。この細らせ処理のマスクサイズは、太らせ処理のマスクサイズと同じか、あるいは太らせ処理のマスクサイズを大とすることにより、太らせた時の判定結果がクロスするようになる。具体的には、17×17画素のマスクで細らせた、さらに5×5画素のマスクで細らせ、次に34×34画素のマスクで太らせ処理を行う。

【0033】331はインバータで、誤判定除去回路330の出力を反転出力する。次に、326はコンパレータcで、リミッタc323の出力と、平均化する前の画像データとを比較し、比較結果の2値信号を出力する。この2値化により、画像の高周波成分が検出される。327は輪郭抽出回路で、コンパレータc326の出力を、5×5画素のブロックで、細らせ処理および太らせ処理し、太らせ処理結果と、細らせ処理結果との差分を求め、求めた差分域を輪郭として出力する。

【0034】328はデレイ回路eで、輪郭抽出回路327が出力した輪郭信号と、インバータ331からの誤判定除去信号との位相を合わせる。332はANDゲートで、インバータ331からの誤判定除去信号と、デレイ

イ328からの輪郭信号とを論理積する。ANDゲート332の出力は、文字検出回路214の検出結果として、メモリb215へ送られる。

【0035】図6はメモリb215の一部の構成例を示すブロック図で、とくに文字画像データ書込みに関係する構成例を示すものである。図6において、405はシリアルパラレル変換器で、文字検出回路214から送られてきた文字画像データをパラレルデータに変換する。408はANDゲートで、図2に示す領域生成部216から送られてくる、主走査ライトイネイブル信号BWH

Eと、副走査ライトイネイブル信号BWVEとを論理和し、画像の有効領域を表す信号を出力する。  
【0036】411は分周器aで、BWHEに同期して、ビデオクロックVCLKを8分周したクロック8VCKを出力する。418は高解像度用のビットマップメモリであり、409、410はそれぞれアドレスカウンタで、アドレスカウンタv409は、Hsyncをクロックとして、ANDゲート408からの画像有効領域信号をカウントする。アドレスカウンタh410は、8VCKをクロックとして、ANDゲート408からの画像有効領域信号をカウントし、Hsyncによつてリセットされる。両カウンタは、ともにビットマップメモリ418へ、画像データを書込むためのアドレスカウンタである。

【0037】413はセクタaで、入力端子Aのライトアドレス信号と、入力端子Bのリードアドレス信号とを切換え、ビットマップメモリ418のアドレス端子ADRへ出力する。なお、リードアドレス信号については後述する。419はビットマップメモリ418のデータ読み書き用の双方向バツファで、端子Dに外部から入力されるライト／リード信号W／Rが、ライトWのとき、端子Aに入力された信号を端子Cから出力し、リードRのとき、端子Cに入力された信号を端子Bから出力する。

【0038】406はANDゲートであり、415はNORゲートで、インバータ412で反転された8VCKと、外部からのW／Rとからビットマップメモリライト信号WRを生成する。次に、文字画像データの書込み動作の一例を説明する。シリアルパラレル変換器405で、8ビットのパラレルデータに変換された文字画像データと、ANDゲート408からの画像有効領域信号とが、ANDゲート406で論理積され、画像有効領域に存在する文字画像データが、双方向バツファ419の端子Aに入力される。

【0039】双方向バツファ419で、端子Dの信号W／RがライトWを示すと、文字画像データは同端子Cから出力される。双方向バツファ419から、ビットマップメモリ418の端子DATへ入力された文字画像データは、ビットマップメモリ418の、アドレスカウンタv409とアドレスカウンタh410が示すアドレス

へ、NORゲート415の出力する信号WRに同期して書込まれる。

【0040】図7はビットマップメモリ418への文字画像データ書込み動作例のタイミングチャートである。図7において、Dt0～Dt7はビットマップメモリ418へ入力される文字画像データ、8VCKはビデオクロックVCLKを8分周したクロック、DATAはシリアルパラレル変換された文字画像データ、WRはビットマップメモリ418のライト／リード信号、主走査アドレスはアドレスカウンタh410の出力、副走査アドレスはアドレスカウンタv409の出力である。

【0041】文字画像データDt0～Dt7は、シリアルパラレル変換器405で、パラレルデータDATAに変換され、8VCKでラッチされ、主走査アドレスと副走査アドレスで示される番地、例えば、主走査アドレスn、副走査アドレスmの、アドレスmnに書込まれる。図8はメモリb215の一部の構成例を示すブロック図で、とくにリードアドレスカウンタの構成例を示すものである。

【0042】図8において、601はマゼンタリードアドレスカウンタMRead、602はシアンリードアドレスカウンタCRead、603はイエローリードアドレスカウンタYRead、604は黒リードアドレスカウンタKReadである。606はインバータで、後述するVCLKを4分周したRPH0を反転出力する。

【0043】さらに、MRead601は、前述のライトアドレスカウンタと同様に、副走査に同期するアドレスカウンタv607と、主走査に同期するアドレスカウンタh608とからなる。NANDゲート610は、図2に示す領域生成部216から送られてくる、主走査リードイネイブル信号BRHEと、副走査マゼンタリードイネイブル信号BMRVEとを否定論理積し、マゼンタ画像の有効領域を表す信号を出力する。

【0044】NANDゲート611～613は、NANDゲート610と同様に、主走査リードイネイブル信号BRHEと、各色用の副走査リードイネイブル信号BCRVE（シアン）、BYRVE（イエロー）、BKRV E（黒）とを否定論理積し、各色の画像有効領域を表す信号を出力する。アドレスカウンタv607は、Hsyncをクロックとして、NANDゲート610からのマゼンタ画像有効領域信号をカウントする。アドレスカウンタh608は、インバータ606の出力をクロックとして、ANDゲート610からのマゼンタ画像有効領域信号をカウントし、Hsyncによりリセットされる。

【0045】CRead602、YRead603、KRead604も、MRead601と同様に、2つのアドレスカウンタから構成され、各色の画像有効領域信号をカウントする。605は4入力1出力のセクタbで、RPH0と、後述するVCLKを8分周したRPH1とに基づいて、4つのアドレスカウンタの出力の1つ

を選択し出力する。具体的には、RPH0、RPH1がともに‘0’のときはMRead601の出力が、RPH0が‘1’で、RPH1が‘0’のときはCRead602の出力が、RPH0が‘0’で、RPH1が‘1’のときはYRead603の出力が、RPH0、RPH1がともに‘1’のときはKRead604の出力が選択される。

【0046】セクタ605の出力は、図6に示すセクタa413の端子Bに入力され、リードモードのときに、ビットマップメモリ418へ送られる。図9はメモリb215の一部の構成例を示すブロック図で、とくにビットマップメモリ418読出し時の、データ再生に関する構成例を示すものである。701はANDゲートで、主走査リードイネイブル信号BRHEと、副走査マゼンタリードイネイブル信号BMRVEから、マゼンタ色画像有効領域を表す信号を生成する。

【0047】同様に、702～704もANDゲートで、主走査リードイネイブル信号BRHEと、各色の副走査リードイネイブル信号BCRVE（シアン）、BYRVE（イエロー）、BKRVE（黒）とから、各色の画像有効領域を表す信号を生成する。714～721はDフリップフロップ（以下「D-F/F」という）、722～725はパラレルシリアル変換器であり、705～708はANDゲートで、各色の文字画像データと、各色の画像有効領域信号とを論理積して出力する。

【0048】713は分周器bで、VCLKとHsyncから、所望のタイミングのRCLK1～RCLK4、RPH0、RPH1の6つのクロックを生成する。図6に示す双方向バツファ419からの文字画像データは、D-F/F714～717に入力され、D-F/F714ではRCLK1で、D-F/F715ではRCLK2で、D-F/F716ではRCLK3で、D-F/F717ではRCLK4でラッチされ、それぞれのアドレスに格納されたMCYK各色の文字画像データに分離される。

【0049】続いて、それぞれの画像データを、D-F/F718～721においてRCLK1でラッチし、パラレルシリアル変換器722～725でシリアルデータに変換する。さらに、ANDゲート705～708で、各色の文字画像データと、各色の画像有効領域信号とが論理積される。ANDゲート705～708が出力した各色の4ビットの文字画像データは、図2に示す、メモリb215の出力、すなわち文字検出信号MjArとして、像域分離処理回路210へ送られ、所望の像域分離処理がなされる。

【0050】図10はビットマップメモリ418からの文字画像データ読出し動作例のタイミングチャートである。図10において、Mアドレス、Cアドレス、Yアドレス、Kアドレスは、それぞれ図8に示すアドレスカウンタ、MRead601、CRead602、YRead

d603、KRead604の出力値である。

【0051】Mデータ、Cデータ、Yデータ、Kデータは、それぞれ図9に示すD-F/F、D-F/F714～717の出力である。MCYKデータは、図9に示すD-F/F718～721の出力である。図8に示すインバータ604により、RPH0を反転した信号をクロックとして、各色のアドレスカウンタhから得られた主走査アドレス、例えばn1、n2、n3、n4は、図8に示すセクタb605で、RPH0、RPH1を選択信号として、例えばMn、Cn、Yn、Knの順に選択される。さらに、MnはRCLK1で、CnはRCLK2で、YnはRCLK3で、KnはRCLK4で、図9に示すD-F/F714～717でラッチされ、Mデータ、Cデータ、Yデータ、Kデータ（例えば、n1'、n2'、n3'およびn4'）が生成される。さらに、Mデータ、Cデータ、Yデータ、KデータがRCLK1で、図9に示すD-F/F718～721にラッチされ、4色のデータの同期がとられ、さらに、パラレルシリアル変換され、MCYK各色の文字画像データが得られる。

【0052】以上の構成では、同時にリードライトはできないが、これは例えばシリアルパラレル変換で、1→8から1→4にすることで可能である。次に、図2に示す圧縮伸張部111の動作例について説明する。図11は画素の状態の一例を示す図であり、以下は、例えば図11の斜線部の画像データの圧縮動作例を説明する。

【0053】図11の1マスは1画素に相当し、この1画素は、RGB各8ビットの合計24ビットのデータで構成される。これを4画素×4ライン、すなわち16画素分のデータを1ブロックとしてL\*a\*b\*変換し、さらに合計384ビット（16画素×3色×8ビット）のデータを1/12に圧縮し、32ビットのデータとする。

【0054】この圧縮した画像データAを、メモリa207に含まれるメモリc1001に記憶させ、メモリc1001に記憶された圧縮画像データAを、伸張回路208に送り、RGBそれぞれ8ビットの画像データに伸張する。本実施例のメモリc1001は、同一アドレスでアクセスできる、データ幅32ビットの画像メモリと、ビットマップメモリとの2つのメモリをもっている。図12(a)に示すBWVEのタイミングで、アドレスカウンタ1004が指す、メモリc1001の1アドレスの、画像メモリには圧縮画像データAが記憶され、同時に、ビットマップメモリには図2に示す黒色検出回路213の検出結果が記憶される。

【0055】また、アドレスカウンタ1004が指す、メモリc1001の1アドレスの、画像メモリから、図12(b)～(d)に示すBRMVE、BRCVE、BRYVEおよびBRKVEのタイミングで、圧縮画像データAが読出され、同時に、ビットマップメモリから黒

色検出結果が読出される。なお、メモリc1001は、例えばDRAMで構成するが、DRAM以外の記憶手段で構成することもできる。

【0056】図13、図14、図15は、メモリa207の一部の構成例を示すブロック図で、とくにアドレス生成回路の構成例を示すものである。なお、このアドレス生成回路は、図16に一例を示すような、4画素×4ラインのブロックを8つの小ブロックに時分割し、それぞれの小ブロックごとに、メモリへの画像データの書込みや、各色の読出しなどを、予め決めておき、それぞれ独立してメモリ空間のアドレスへアクセスするためのものである。

【0057】図13において、1300～1307はそれぞれラッチでCPU（不図示）からのラッチ信号CS0～CS7により、データバスDB上の、主走査方向の初期値をラッチする。例えば、ラッチ1300～1307には、順に、000H、810H、020H、830H、040H、850H、060H、870H（末尾の‘H’は16進数を意味する）がラッチされる。

【0058】1308はセクタaで、セレクト信号PHS1～PHS3により、図15に示す各小ブロックごとに、ラッチ1300～1307にラッチされた初期値を選択する。1309はカウンタaで、Hsyncでリセットされ、イネイブル信号XENBが‘1’のとき、VCLKを4分周したRPH0をクロックとして、4画素ごとにカウントアップする。

【0059】1310はアダーaで、入力端子AとBに入力された2つのデータを加減算して、データXADRを出力する。アダーa1310は、セクタa1308の出力の最上位ビットを信号XOFFとし、XOFFが‘0’のとき加算を、XOFFが‘1’のとき減算を実行する。図15に示す小ブロックaでは、000H、001H、002H、・・・とカウントアップし、小ブロックbでは、010H、00FH、00EH、・・・とカウントダウンし、以下同様で、小ブロックhでは、070H、06FH、06EH、・・・とカウントダウンする。

【0060】次に、図14において、ブロック1431～1438は、すべて同一の構成であり、その動作も同一であるので、以下、ブロック1431の構成と動作を説明し、ブロック1432～1438の説明は省略する。図14において、1401はラッチiで、CPU（不図示）からのラッチ信号CS8により、データバスDB上の、副走査方向の初期値をラッチする。

【0061】1426はカウンタbで、本実施例の電源投入時に発生するリセット信号RSTでリセットされ、イネイブル信号YENBが‘1’のとき、Hsyncを4分周した4HSNCにより、4ラインごとにカウントアップする。1409はアダーbで、ラッチa1401にラッチされた初期値Y<sub>10</sub>と、カウンタb1426のカ

ウント値C1とを加減算し、加減算結果Y<sub>10</sub>±C1を出力する。なお、主走査方向と同様に、アダーb1409は、ラッチi1401の出力の最上位ビットを信号YOFFとして、YOFFが‘0’ならば加算し、YOFFが‘1’ならば減算を実行する。

【0062】1417はラッチqで、アダーb1409の出力を、副走査リードイネイブル信号BRVEの立上りに同期したラッチ信号PS0により、記録用紙1枚につき1個、加減算結果Y<sub>10</sub>±C1をラッチする。1425はセクタbで、セレクト信号PHS1～PHS3により、ブロック1431～1438からの加減算結果Y<sub>n0</sub>±C1を選択し出力する。

【0063】なおラッチ信号PS0～PS7は、PS0、PS2、PS4はNC、PS1は副走査ライトイネイブル信号BWVEより、PS4は副走査イエローリードイネイブル信号BYRVEより、PS5は副走査マゼンタリードイネイブル信号BMRVEより、PS6は副走査シアンリードイネイブル信号BCRVEより、PS7は副走査黒リードイネイブル信号BKRVEより生成する。

【0064】1427はアダーjで、セクタb1425の出力Y<sub>n0</sub>±C1と、カウンタb1426のカウント値C2とを加減算し、加減算結果YADR=(Y<sub>n0</sub>±C1)±C2を出力する。アダーj1427は、セクタb1425の出力の最上位ビットを信号YOFFとして、YOFFが‘0’ならば加算し、YOFFが‘1’ならば減算を実行する。

【0065】すなわち、YADRは、YOFFが‘0’のときY<sub>n0</sub>+(C2-C1)、YOFFが‘1’のときY<sub>n0</sub>-(C2-C1)となり、YADRは、初期値Y<sub>n0</sub>と、実際のカウンタ値(C2-C1)とを加減算した値として出力される。図15において、1501はラッチyで、CPU（不図示）からのラッチ信号CS16により、データバスDB上のアドレス入換え信号XYCHGをラッチする。なお、XYCHGは、XADRとYADRを入換える信号で、図16に示す小ブロックごとに、XYCHGの対応ビットが‘0’のときは入換えず、XYCHGの対応ビットが‘1’のときはXADRとYADRを入換える。

【0066】1502はセクタcで、選択信号PHS1～PHS3により、ラッチy1501にラッチされたXYCHGのビットを選択して出力する。1503と1504はセクタで、セクタc1502の出力によって、XADRまたはYADRを選択出力する。1505～1509はD-F/Fで、D-F/Fa1505は主走査方向アドレスXMAを、D-F/Fb1506は副走査方向アドレスYMAを出力し、D-F/Fc1507はXYCHGの対応ビットを信号ROTの第0ビットとして、D-F/Fd1508はXOFFをROTの第1ビットとして、D-F/Fe1509はYOFFをR

OTの第2ビットとして出力する。なお、D-F/F1505~1509には、クロックとしてすべてVCLKが供給されるので、XMA、YMAおよびROTの各ビットは同期して出力される。

【0067】なお、信号ROTは、図17に一例を示すように、出力画像を回転させるための信号であり、ROT='000'のとき通常の向きに(図17(a))、ROT='001'のとき図17(b)の向きに、ROT='010'のとき図17(c)の向きに、ROT='011'のとき図17(d)の向きに、ROT='100'のとき図17(e)の向きに、ROT='101'のとき図17(f)の向きに、ROT='110'のとき図17(g)の向きに、ROT='111'のとき図17(h)の向きに画像を出力する。

【0068】以上の方法により、図16の小ブロックbで、出力する画像の向きに合わせて、ROTをメモリc1001に書き込み、ブロックe、f、g、hにおいて、ROT='000'で、メモリc1001からそのまま画像データを読み出すことにより、図17(a)に示す画像を入力したときに、同図(a)~(h)に示す8種類の出力画像が得られる。

【0069】次に、像域分離処理回路210について説明する。像域分離処理回路210は、文字画像検出部112の検出結果に基づき、黒文字、色文字、網点画像、中間調画像の各データに対して、それぞれ以下の処理を施す。

〔処理1〕黒文字データに対する処理

1) ビデオとしてSM抽出で求めた信号を用いる。

【0070】2) MCY画像データは、無彩色検出信号RGBiもしくは設定値に従って減算を行う。一方、K画像データは、無彩色検出信号RGBiもしくは設定値に従って加算を行う。

3) エッジ強調を行う。

4) 黒文字データは400dpiで出力する。

【0071】5) 色残り除去処理を行う。

〔処理2〕色文字データに対する処理

1) エッジ強調を行う。

2) 色文字データは400dpiで出力する。

〔処理3〕網点画像データに対する処理

1) モアレ対策のため主走査方向に2画素ずつスムージングする。

【0072】〔処理4〕中間調画像データに対する処理

1) 主走査方向に2画素ずつのスムージングまたはスルーの選択ができる。

次に、上記の処理を行う回路について説明する。図18、図19は像域分離処理回路210の詳細な構成例を示すブロック図である。ただし、同図は、M成分のみの構成例を示す。他の3色C、Y、Kも同様な構成であり、同図および以下では説明を省略する。

【0073】図18において、2106はセレクトa

で、図3に示すマスキング/UCR回路210から入力された画像データMまたはMkのどちらかを選択出力する。セレクトa2106は、ANDゲート2107が出力する選択信号によつて制御され、選択端子Sが'0'のとき入力端子Aの信号を、選択端子Sが'1'のとき入力端子Bの信号を出力する。なお、同選択信号は、文字検出信号MjArの1ビットと、無彩色検出信号RGBiの1ビットと、I/Oポートの設定値I/O-6との論理積である。

【0074】2118は文字領域拡大回路であり、2116は色残り除去回路で、詳細は後述するが、ANDゲート2117が出力するイネイブル信号に従う。2115は乗算器で、セレクトa2106の出力と、I/O-1との乗算を行う。2120は排他的論理和(以下「XOR」という)ゲート、2122、2127はANDゲート、2124は加減算器である。

【0075】2144はインバータ、2146はANDゲート、2148はORゲートであり、2143はデレイcで、セレクトc2142の出力と、ORゲート2148の出力との同期を合わせる。図19において、2126と2128はラインメモリで、1ライン分のデータを記憶し遅延させる。

【0076】2130はエッジ強調回路、2131はスムージング回路であり、2133はセレクトbで、同期用のデレイa2132からの選択信号により、スムージング回路2131が出力したスムージング出力、またはスムージング回路2131を経ないスルーデータの、どちらか一方を選択し出力する。なお、選択端子Sが'0'のとき入力端子Aの信号を、選択端子Sが'1'のとき入力端子Bの信号を出力する。

【0077】2142はセレクトcで、エッジ強調回路2130の出力、またはセレクトb2133の出力の、どちらか一方を選択し出力する。セレクトc2142は、ANDゲート2141が出力する選択信号によつて制御され、選択端子Sが'0'のとき入力端子Aの信号を、選択端子Sが'1'のとき入力端子Bの信号を出力する。同選択信号は、同期用のデレイb2136を経た、文字検出信号MjArの1ビットと、I/O-8とをORゲート2139で論理和したものと、I/O-9とを、ANDゲート2141で、さらに論理積したものである。

【0078】また、像域分離処理回路210は、I/Oポート1010を介して、CPU(不図示)バスと接続されている。以下、3つのブロックに分けて動作を説明する。第1のブロックは、黒文字データのエッジ周囲に残る色信号を除去する色残り除去処理と、黒文字部の、YMCデータに対してある割合で減算し、Kデータに対してある割合で加算するブロック。

【0079】第2のブロックは、文字データに対してエッジ強調、網点画像データに対してスムージング、階調

画像データはスルーするブロック。第3のブロックは、文字データに対して、ORゲート2148の出力を

「L」にし、400dpiで画像出力させるブロック。  
 [色残り除去処理および加減算処理]第1のブロックでは、無彩色検出信号RGBiと、文字検出信号MjArとが、ともに「1」となる画像部分、つまり黒文字のエッジと、その周辺部に対して処理が施される。

【0080】すなわち、黒文字のエッジ部からはみ出したMCY成分の除去と、黒文字のエッジ強調処理が行われる。次に、具体的な動作説明を行う。まず、MjArが「1」、RGBiが「1」、I/O-6が「0」のとき、セクタa2106は画像データMを選択し出力する。乗算器2115、XORゲート2120、ANDゲート2122では、減算データが生成される。すなわち、乗算器2115で、セクタa2106の出力と、I/O-1にセットされた値とが乗算され、セクタa2106の出力を0～1倍したデータが出力され、I/O-4を「1」にすることで、乗算器2115の出力の2の補数データが、ANDゲート2122から出力される。

【0081】最後に、加算器2124で、色残り除去回路2116からの入力Aと、ANDゲート2122からの入力Bとが加算されるが、ANDゲート2122からの入力Bが2の補数であることから、実際には減算A-Bとなり、減算結果が出力される。次に、MjArが「1」、RGBiが「1」、I/O-6が「1」のとき、セクタa2106は画像データMkを選択し出力する。

【0082】乗算器2125、XORゲート2120、ANDゲート2122では、加算データが生成される。すなわち、画像データMの処理と異なり、I/O-4には「0」がセットされるので、ANDゲート2122からは、乗算器2115の結果がそのまま出力され、加算器2124からは、加算結果A+Bが出力される。図20は上述の黒文字データに対する加減算処理の一例を示す図である。

【0083】図20において、同図(a)および(c)は、黒文字「N」の810で示す部分の、それぞれM(またはC、Y)濃度とK濃度との変化の一例を表している。同図(a)のMデータに対して、文字検出信号MjArが「1」であるところは、濃度の減算が施され、同図(b)に示す濃度分布例となる。

【0084】また同図(c)のKデータに対して、MjArが「1」であるところは、濃度の加算が施され、同図(d)に示す濃度分布例となる。上記の処理で、黒文字のエッジは、ほぼK単色で形成されるが、同図(b)に示すエッジの外側に残されたMデータ802と803が、文字の周囲に色残りとして残留する。

【0085】この色残りを除去するのが、色残り除去回路2116で、同処理は、文字領域拡大回路2118が

広げた文字部の領域の範囲で、かつ文字データがCPUがセットする閾値より小さい範囲、つまり文字部の外側で、色残りが生じる可能性をもつ注目画素について、注目画素の前後3画素または前後5画素の最小値を調べ、注目画素を該最小値とするものである。

【0086】図21は文字領域拡大回路2118の構成例を示すブロック図である。図21において、2260～2263はD-F/F、2264～2267はANDゲート、2268はORゲートである。各ANDゲートの入力の方、I/O-12、I/O-13、I/O-14およびI/O-15を、すべて「1」とすると、文字検出信号MjArが「1」に対応する文字画像データは、主走査方向に前後2画素拡大される。

【0087】また、I/O-12とI/O-15を「0」とし、I/O-13とI/O-14を「1」とすると、MjArが「1」に対応する文字画像データは、主走査方向に前後1画素拡大される。図22は色残り除去回路2116の詳細な構成例を示すブロック図である。図22において、2157は3画素最小値セクタ3Minで、図18に示すセクタa2106から入力された画像データに対し、注目画素とその前後1画素の計3画素から、最小値を示す画像データを選択し、3画素最小データを出力する。

【0088】2158は5画素最小値セクタ5Minで、セクタa2106から入力された画像データに対し、注目画素とその前後2画素の計5画素から、最小値を示す画像データを選択し、5画素最小データを出力する。2155はコンパレータで、セクタa2106から入力された画像データと、I/O-18にセットされた値との大小を比較し、I/O-18の値が大きいときは、比較結果「1」を出力する。

【0089】2161、2162はそれぞれセクタ、2153、2154はそれぞれORゲート、2163はNANDゲートである。図22において、セクタd2161は、I/O-19にセットされた値に基づいて、3画素最小データ、または5画素最小データを選択し出力する。なお、5画素最小データの方が色残り除去効果が大きく、セクタd2161にどちらの最小データを選択させるかは、本実施例の使用がマニュアルで、またはCPUが自動で設定する。

【0090】セクタe2164は、NANDゲート2163の出力が「0」のとき入力端子Aの信号を、NANDゲート2163の出力が「1」のとき入力端子Bの信号を選択し出力する。すなわち、入力文字画像データがI/O-18の値より小さく、コンパレータ2155の出力が「1」で、かつ、文字領域を広げた範囲内で、図18に示すANDゲート2117の出力が「1」のときは、入力端子Aに入力された3画素最小データ、または5画素最小データが、色残り除去回路2116の出力となる。ただし、このときI/O-16とI/O-20



は '1'、I/O-17は '0' である。

【0091】なお、入力端子Bの信号が選択されたときは、スルーデータが、色残り除去回路2116の出力となる。また、ORゲート2153に入力される信号EXCONは、色残り除去回路2116に、例えば、輝度信号を2値化した信号が入力されるとき、コンパレータ2155の代わりに用いるためのものである。

【0092】図23は上記の色残り除去処理と減算処理の一例を示す図である。図23において、同図(a)は、黒文字「N」の910で示す部分の、M(またはC、Y)濃度の変化の一例を表している。M(またはC、Y)データにおいて文字と判定された領域、すなわち、同図(a)に示す、輪郭部分902、903、906および907は、減算処理により濃度0に、色残り部分901と904は、色残り除去処理により濃度0となる。同図(b)は、両処理後の濃度分布の一例を示す。

【0093】なお、色文字に対しては、上記の処理を施さない。

【エッジ強調またはスムージング処理】第2のブロックでは、文字データに対してエッジ強調、網点画像データに対してスムージングが施され、階調画像データはスルーされる。文字データと判定されたときは、文字検出信号MjArが '1' なので、図19に示す、エッジ強調回路2130の出力が、セクタc2142で選択され出力される。

【0094】なお、エッジ強調回路2130でのエッジ強調処理は、図24に示すような3×3の画素ブロックと、次式から求められるものである。

$$A + \alpha \{4A - (B + C + D + E)\}$$

ただし、A：注目画素の濃度

B～E：周辺画素の濃度

$\alpha$ ：0, 1/8, 2/8, ..., 7/8, 1

次に、網点画像データのときは、網点信号SCRNが '1'、MjArが '0' なので、ラインメモリa2126の出力を、スムージング回路2131で処理したものが、セクタb2133とセクタc2142で選択され出力される。

【0095】なお、スムージング回路2131のスムージング処理は、図25に示すように、注目画素のデータ $V_N$ と、前画素のデータ $V_{N-1}$ との平均を求め、平均値 $(V_N + V_{N-1}) / 2$ を注目画素のデータとするもので、網点部に生じやすいモアレを防止する。文字および文字エッジでも、網点でもない、中間調データのときは、MjArおよびSCRNともに '0' なので、ラインメモリa2126の出力が、そのまま画像処理を施されずに、セクタb2133とセクタc2142で選択され出力される。

【0096】なお、色文字データに対しては、MjArが '1' であつても、上記の処理は施されない。なお、上記の説明においては、主走査方向のみに色残り除去処

理を施す例を示したが、主走査、副走査方向ともに色残り除去処理を施すこともできる。

【文字部400dpi出力処理】第3のブロックでは、図18に示す、セクタc2142の出力に同期して、ORゲート2148から200/400切換え信号が出力される。200/400切換え信号は、文字検出信号MjArを反転したものだから、200/400切換え信号は、文字データのとき '0' で、文字データ以外のとき '1' である。

【0097】従つて、文字部および文字のエッジ部は400dpiにて、その他は200dpiで出力される。以上のように、4色の画像データそれぞれに、上述の処理を施した後、図3に示す、 $r$ 補正回路211で $r$ 補正し、エッジ強調回路a212でエッジ強調し、レーザドライバ1213～1216へ送る。また、4色分の200/400切換え信号は、エッジ強調回路a212の出力と同期させるために、デイレイb223を通して、レーザドライバ1213～1216へ送る。

【0098】以上説明したように、本実施例によれば、入力されたカラー画像データを圧縮して記憶するとともに、文字検出および黒色検出により、該カラー画像データから、黒文字画像データを抽出し、抽出された黒文字画像データは圧縮せず記憶する。さらに、記憶された圧縮カラー画像データを伸張するとともに、伸張して得たカラー画像データに、別途記憶した黒文字画像データにより黒文字処理を施す。従つて、少ないメモリ容量で、かつ黒文字処理を施した画質の高い出力を得ることができる。

【0099】なお、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器からなる装置に適用してもよい。また、本発明は、システムあるいは装置にプログラムを供給することによつて達成される場合にも適用できることはいうまでもない。

【0100】

【発明の効果】以上説明したように、本発明によれば、小容量の記憶手段で、特定の色の文字画像に画像処理を施せる画像処理装置を提供できる。

【図面の簡単な説明】

【図1】本発明に係る一実施例の装置概観の一例を示す図である。

【図2】、

【図3】本実施例に係る画像処理部の構成例を示すブロック図である。

【図4】、

【図5】本実施例に係る黒色検出回路と文字検出回路の詳細な構成例を示すブロック図である。

【図6】本実施例に係るメモリbの一部の構成例を示すブロック図である。

【図7】本実施例に係るビットマップメモリへの文字画像データ書き込み動作例のタイミングチャートである。

【図8】、

【図9】本実施例に係るメモリbの一部の構成例を示すブロック図である。

【図10】本実施例に係るビットマップメモリからの文字画像データ読出し動作例のタイミングチャートである。

【図11】本実施例に係る画素の状態の一例を示す図である。

【図12】本実施例に係るメモリcの読み書きタイミングの一例を示す図である。

【図13】、

【図14】、

【図15】本実施例に係るメモリaの一部の構成例を示すブロック図である。

【図16】本実施例に係る4画素×4ラインのブロックを8つの小ブロックに時分割する一例を示す図である。

【図17】本実施例に係る信号ROTによつて出力画像を回転させた一例を示す図である。

【図18】、

【図19】本実施例に係る像域分離処理回路の詳細な構成例を示すブロック図である。

【図20】本実施例に係る黒文字データに対する加減算処理の一例を示す図である。

【図21】本実施例に係る文字領域拡大回路の構成例を示すブロック図である。

【図22】本実施例に係る色残り除去回路の詳細な構成例を示すブロック図である。

【図23】本実施例に係る色残り除去処理と減算処理の

一例を示す図である。

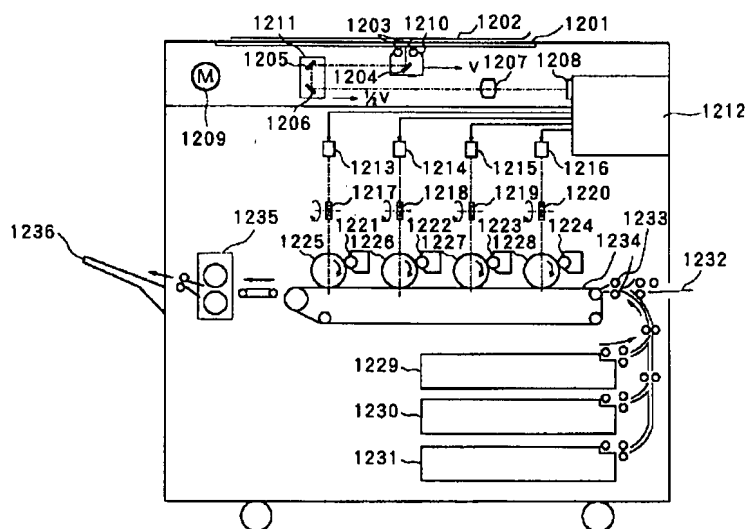
【図24】本実施例に係るエッジ強調処理用の3×3の画素ブロックの一例を示す図である。

【図25】本実施例に係るスムージング処理に関する画素の並びの一例を示す図である。

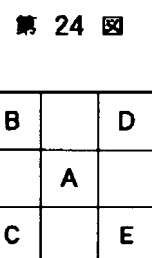
【符号の説明】

202 S/H-A/D  
203 シェーディング回路  
204 入力マスク回路  
205 変倍処理回路  
209 マスキング/UCR回路  
210 像域分離処理回路  
211  $\gamma$ 補正回路  
212 エッジ強調回路a  
216 領域生成部  
309 5×5平均値回路  
310 3×3平均値回路  
322 網点領域判別回路  
327 輪郭抽出回路  
330 誤判定除去回路  
418 ビットマップメモリ  
1212 画像処理部  
2116 色残り除去回路  
2118 文字領域拡大回路  
2131 スムージング回路  
2157 3画素最小値セクタ3Min  
2158 5画素最小値セクタ5Min

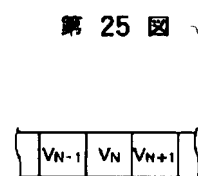
【図1】



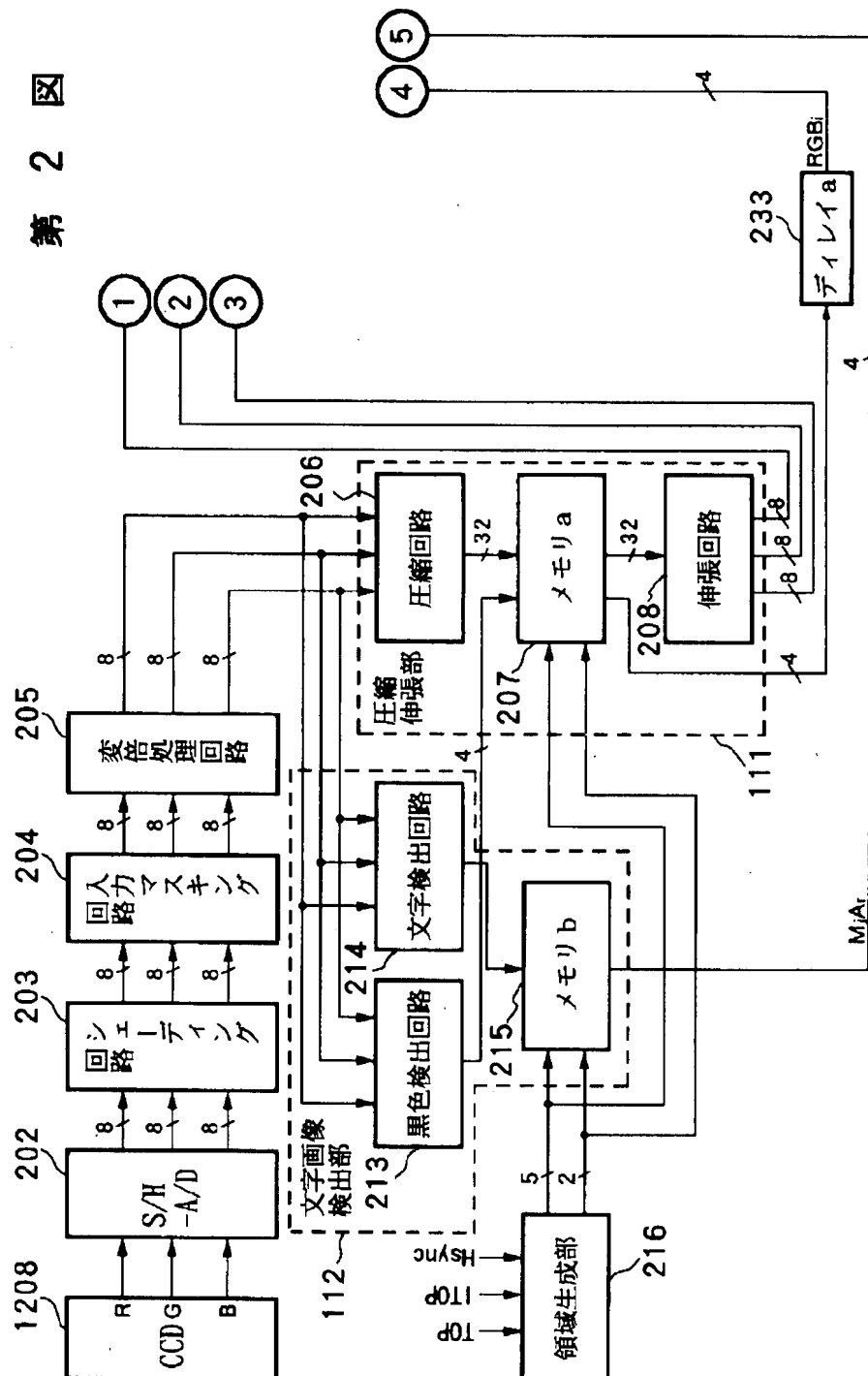
【図24】



【図25】

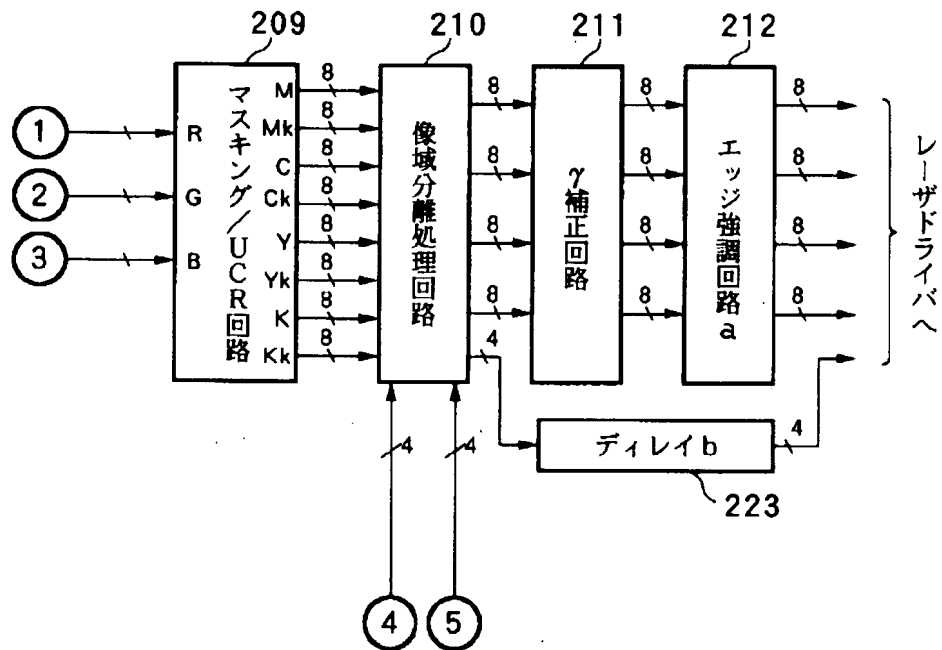


第二



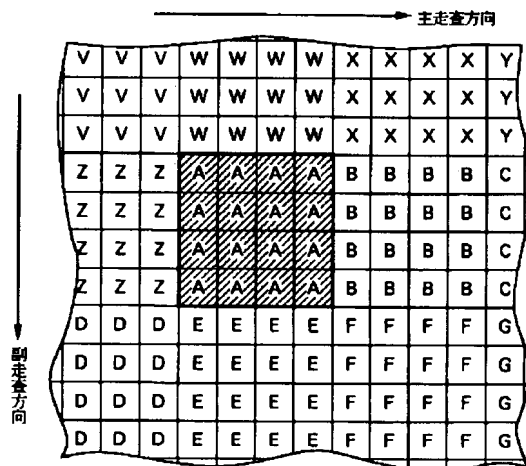
【図3】

## 第 3 図

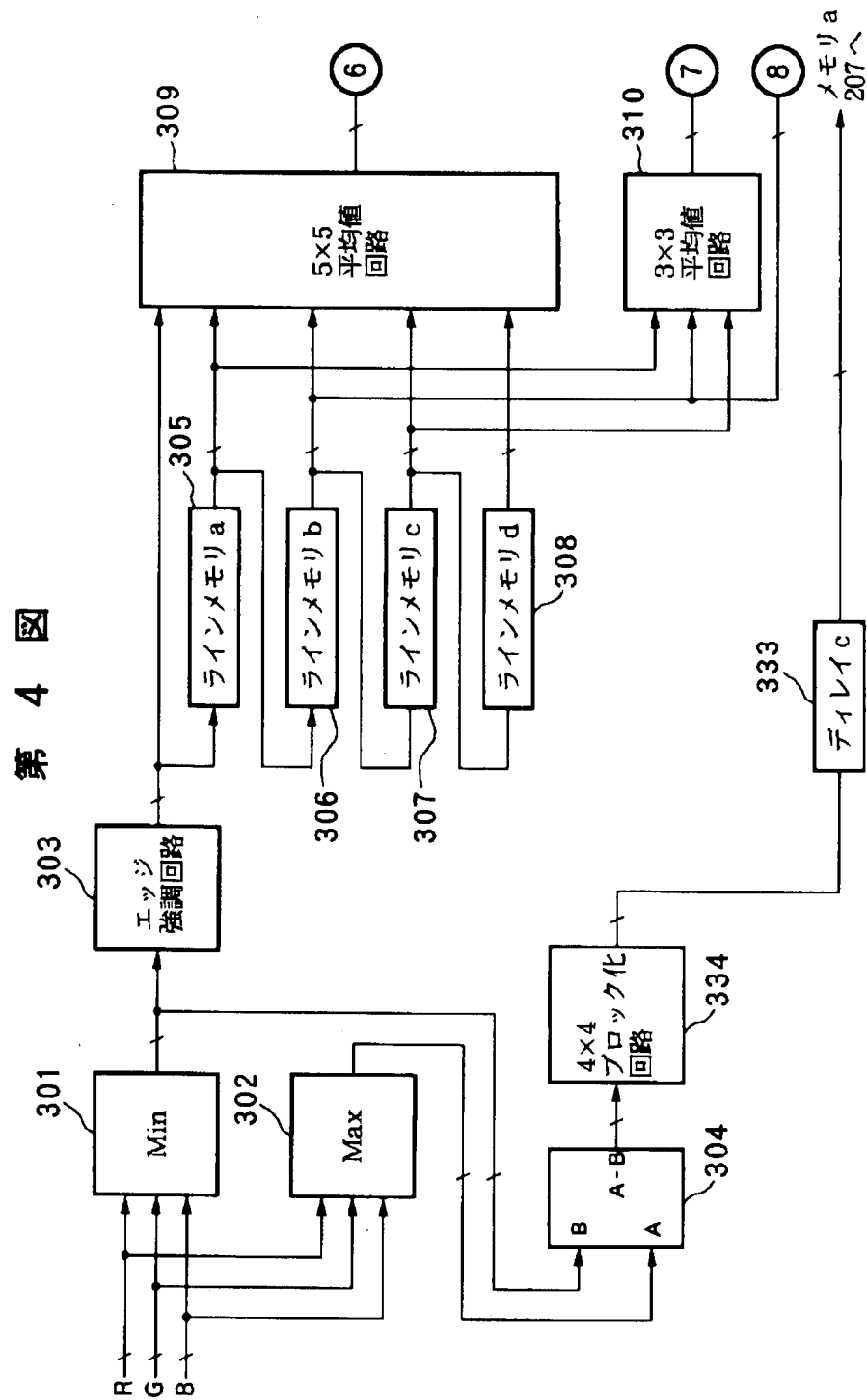


【図11】

## 第 11 図

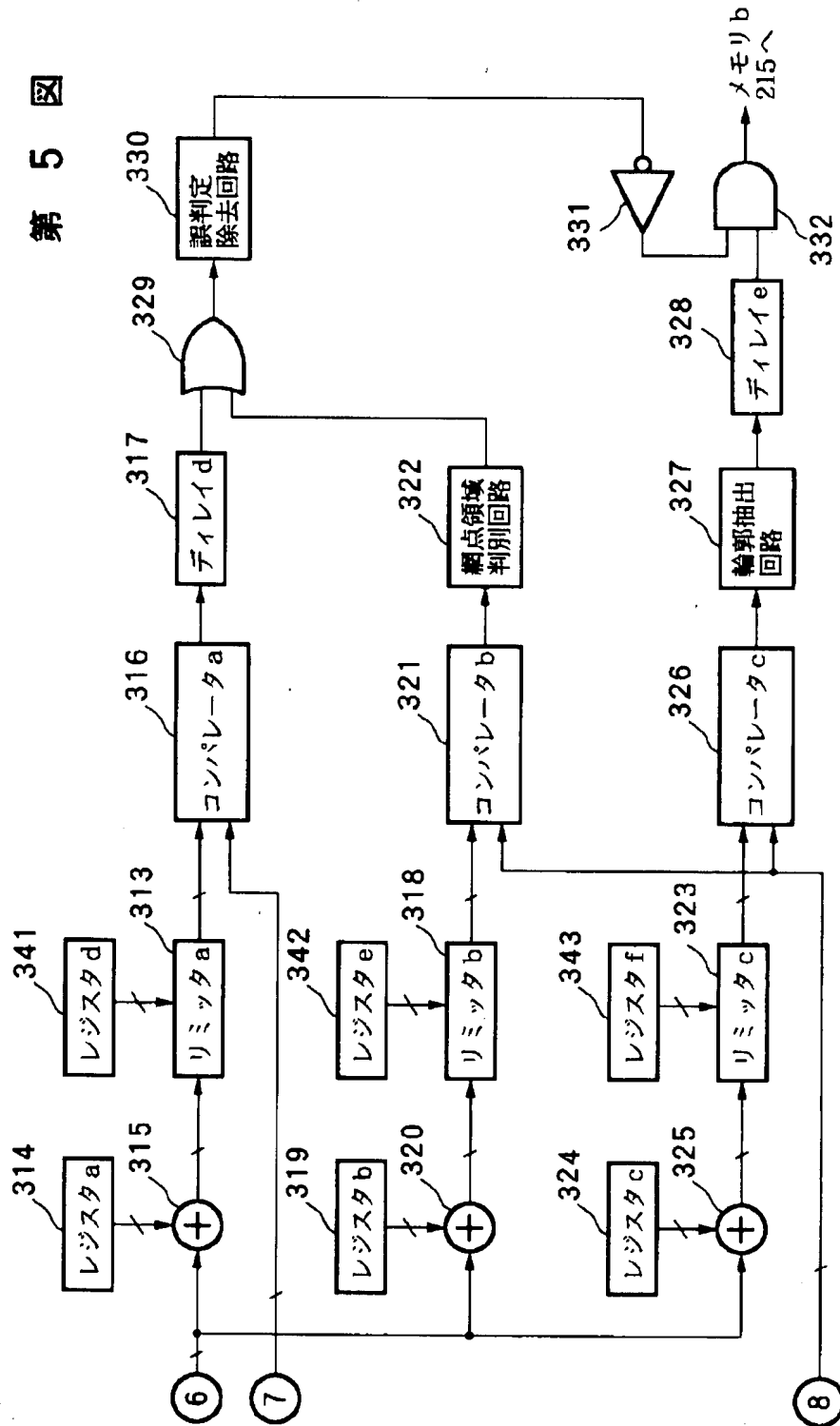


【図4】

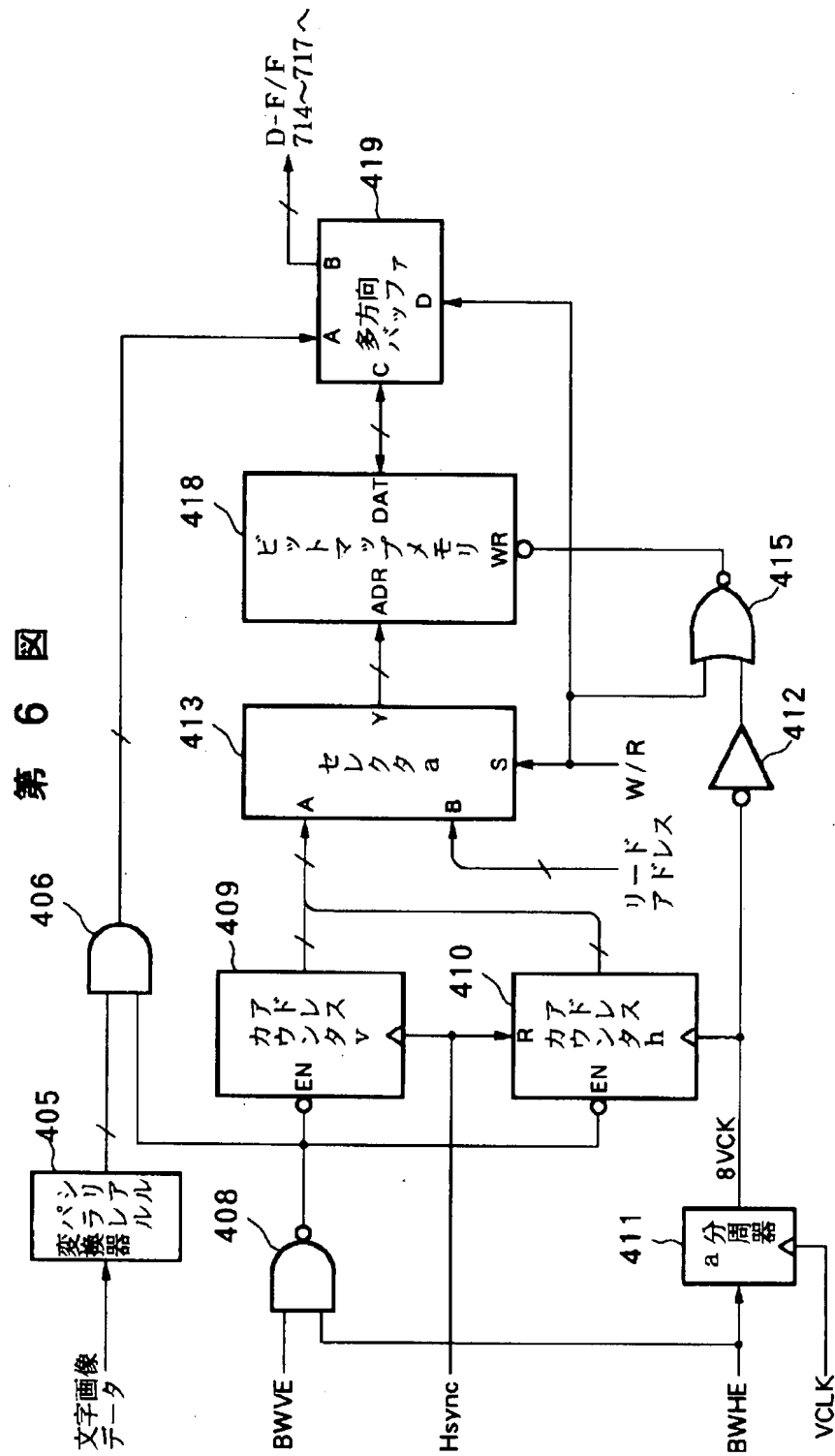


【図5】

第 5 図

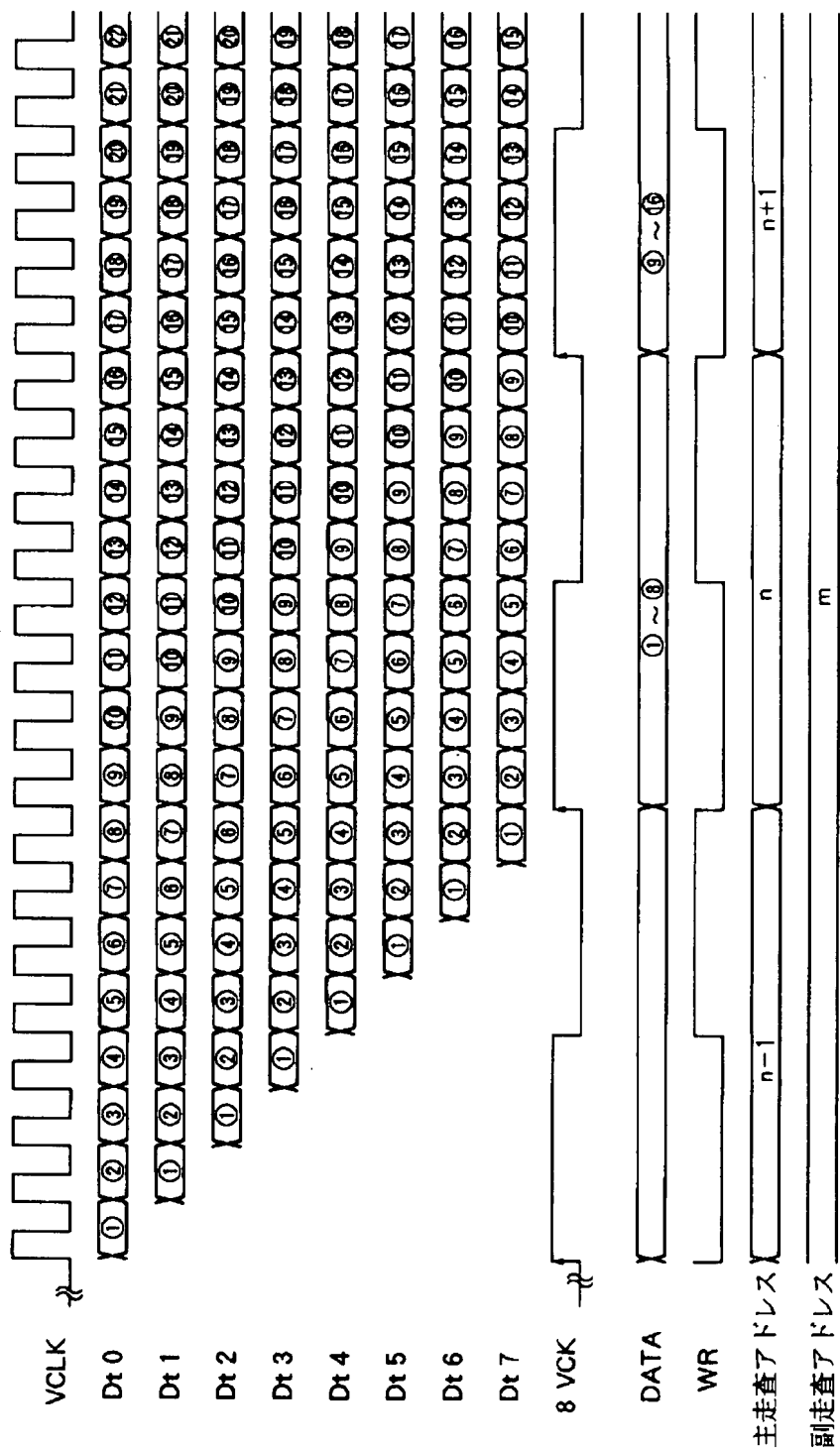


【図6】



【図7】

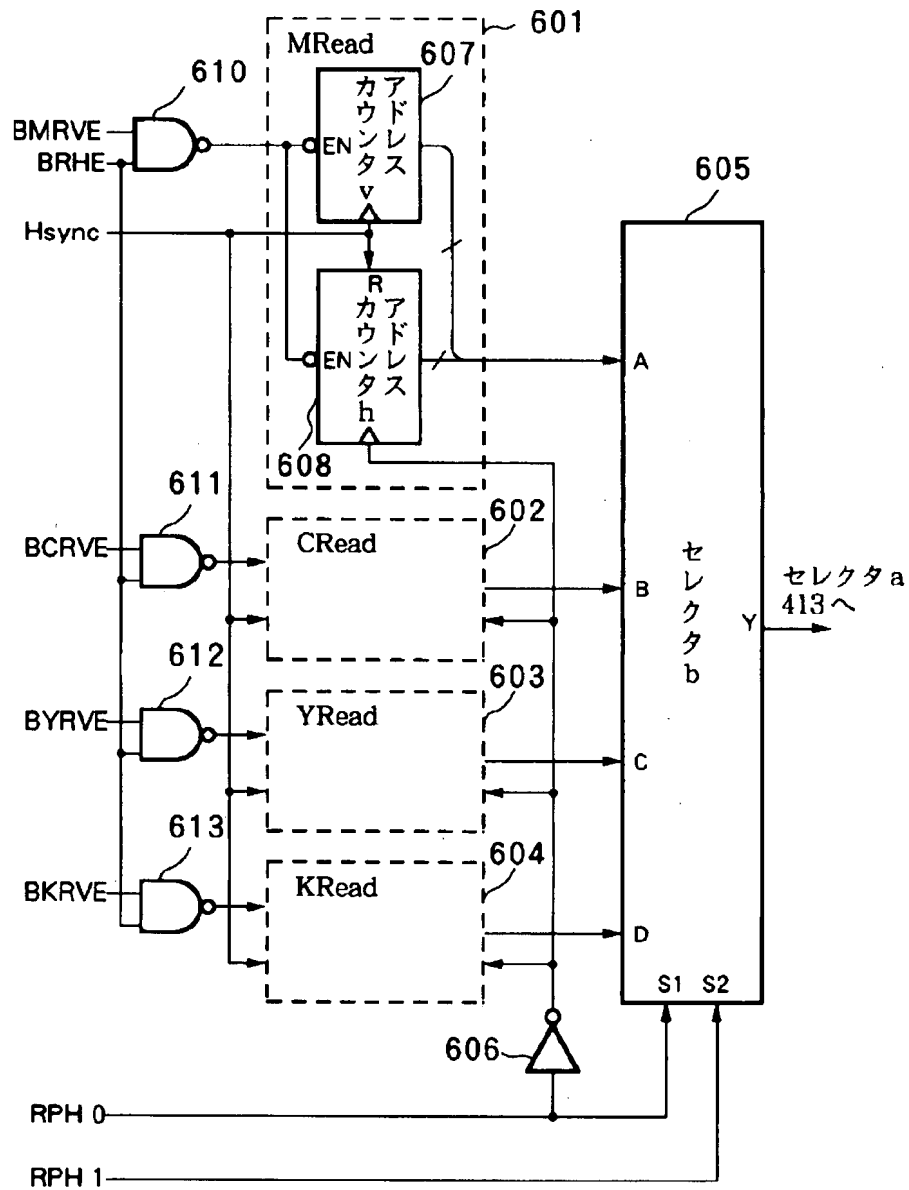
第 7 図



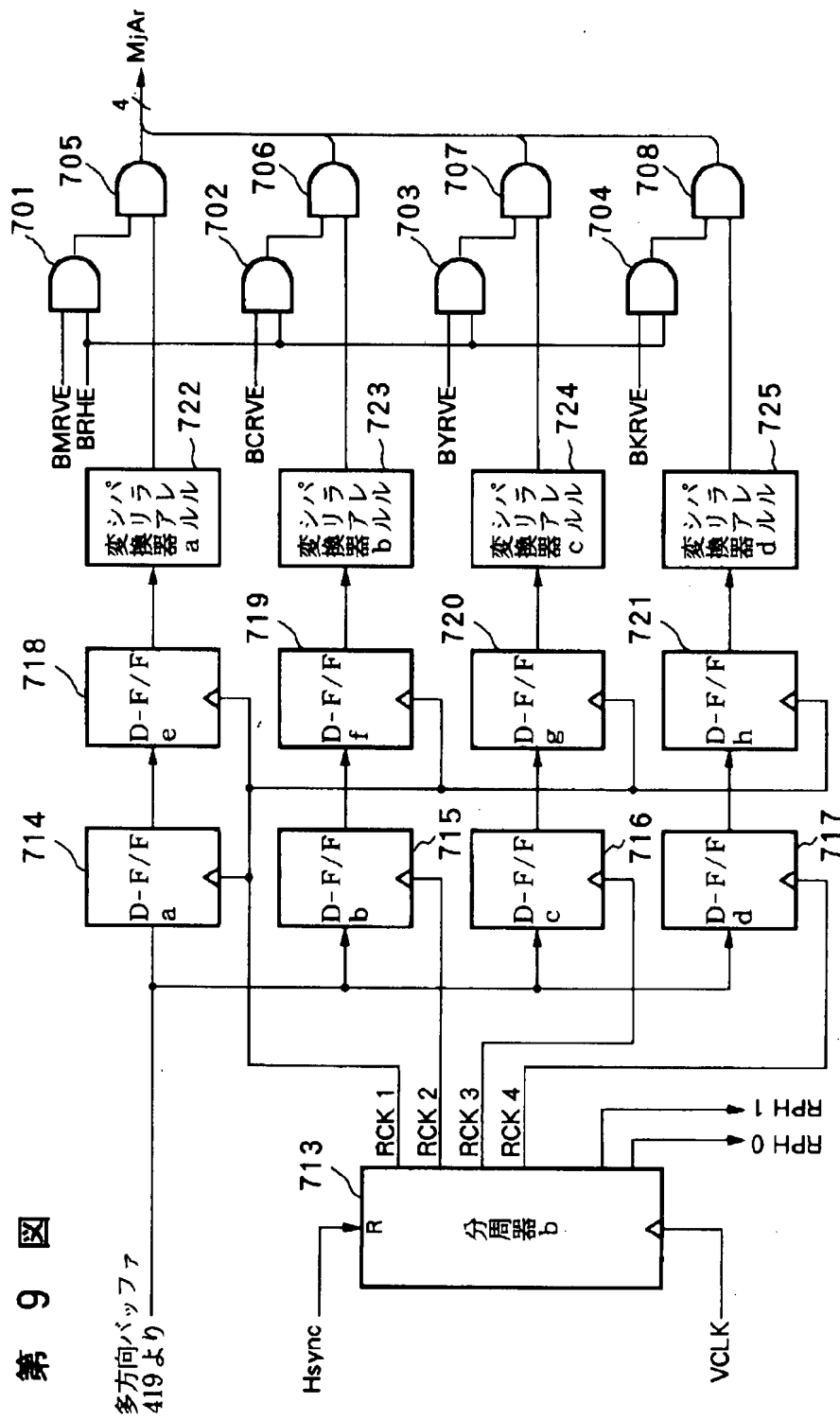


【図8】

## 第 8 図

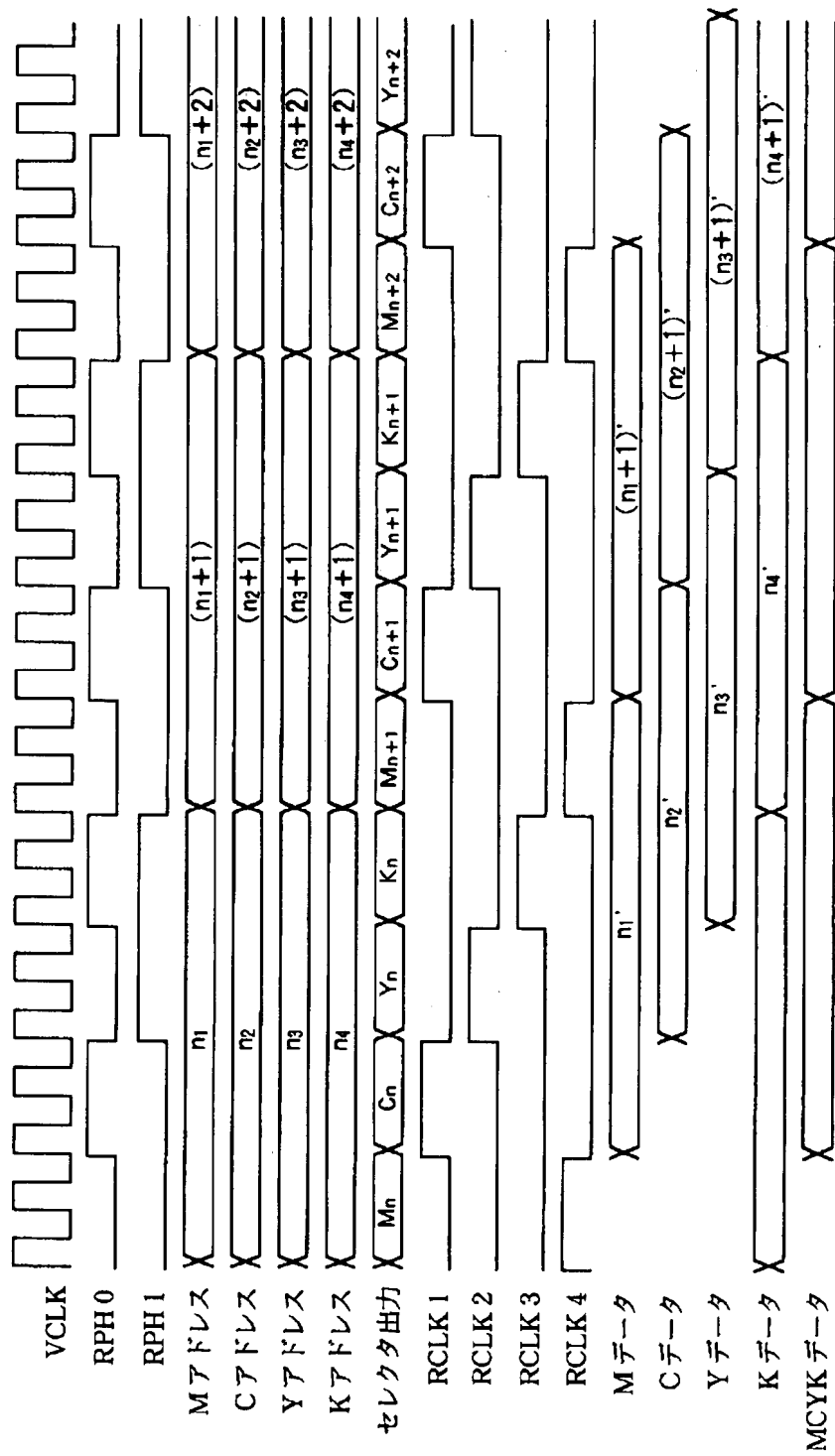


【図9】



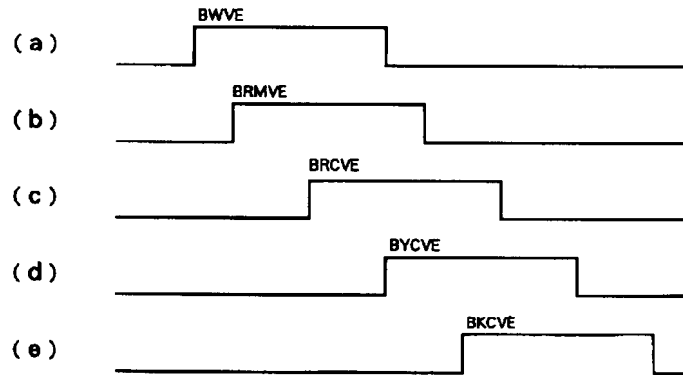
【図10】

第 10 図



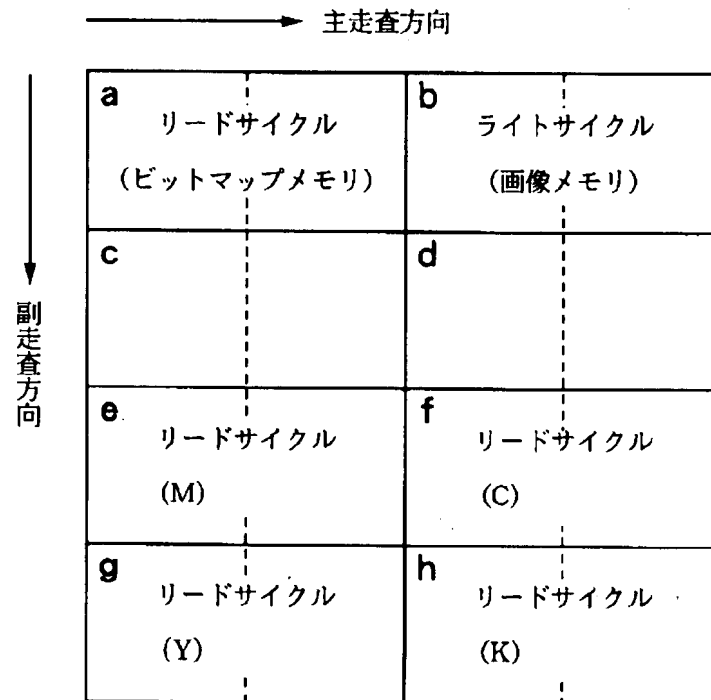
【図12】

第 12 図

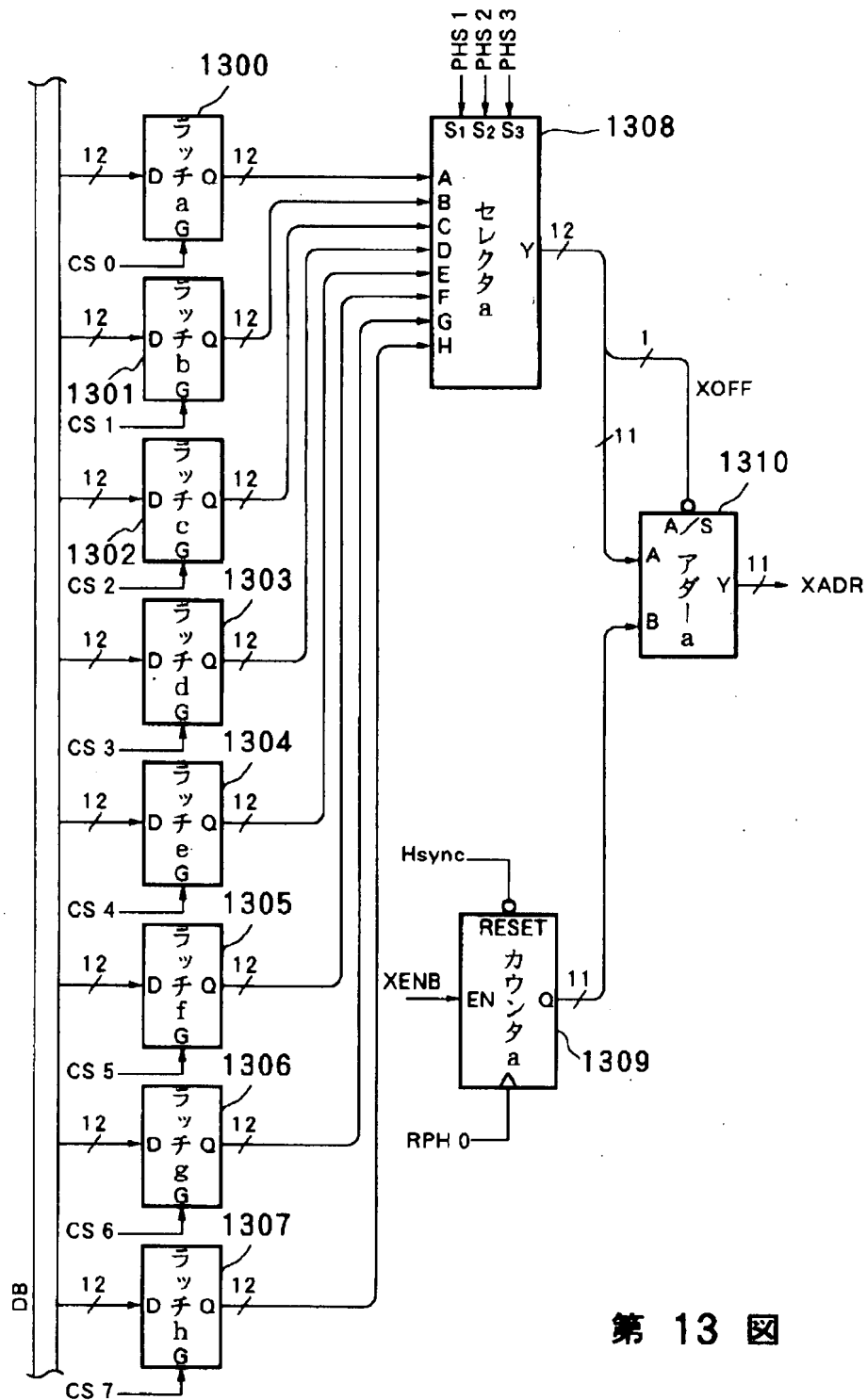


【図16】

第 16 図



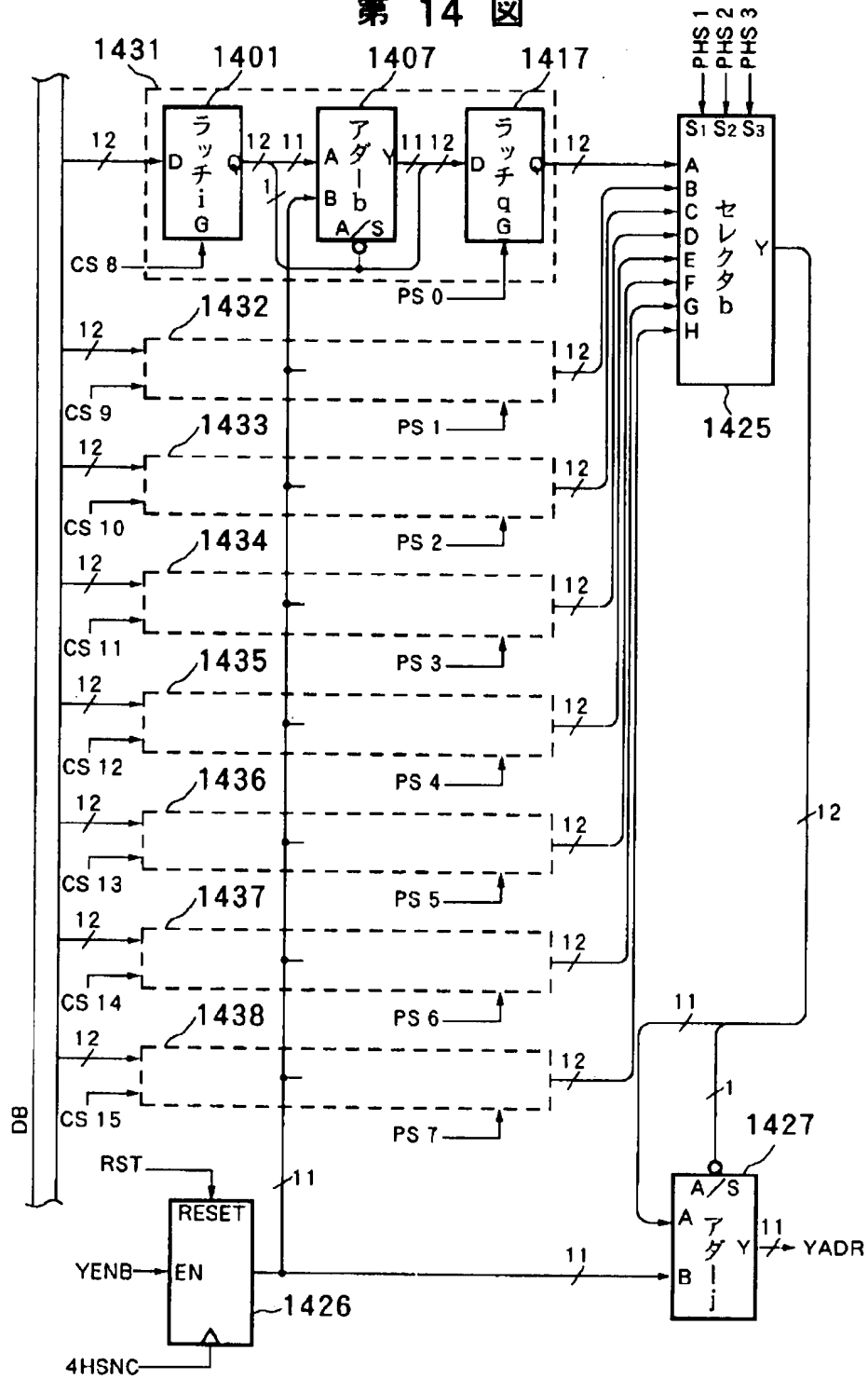
【図13】



第 13 図

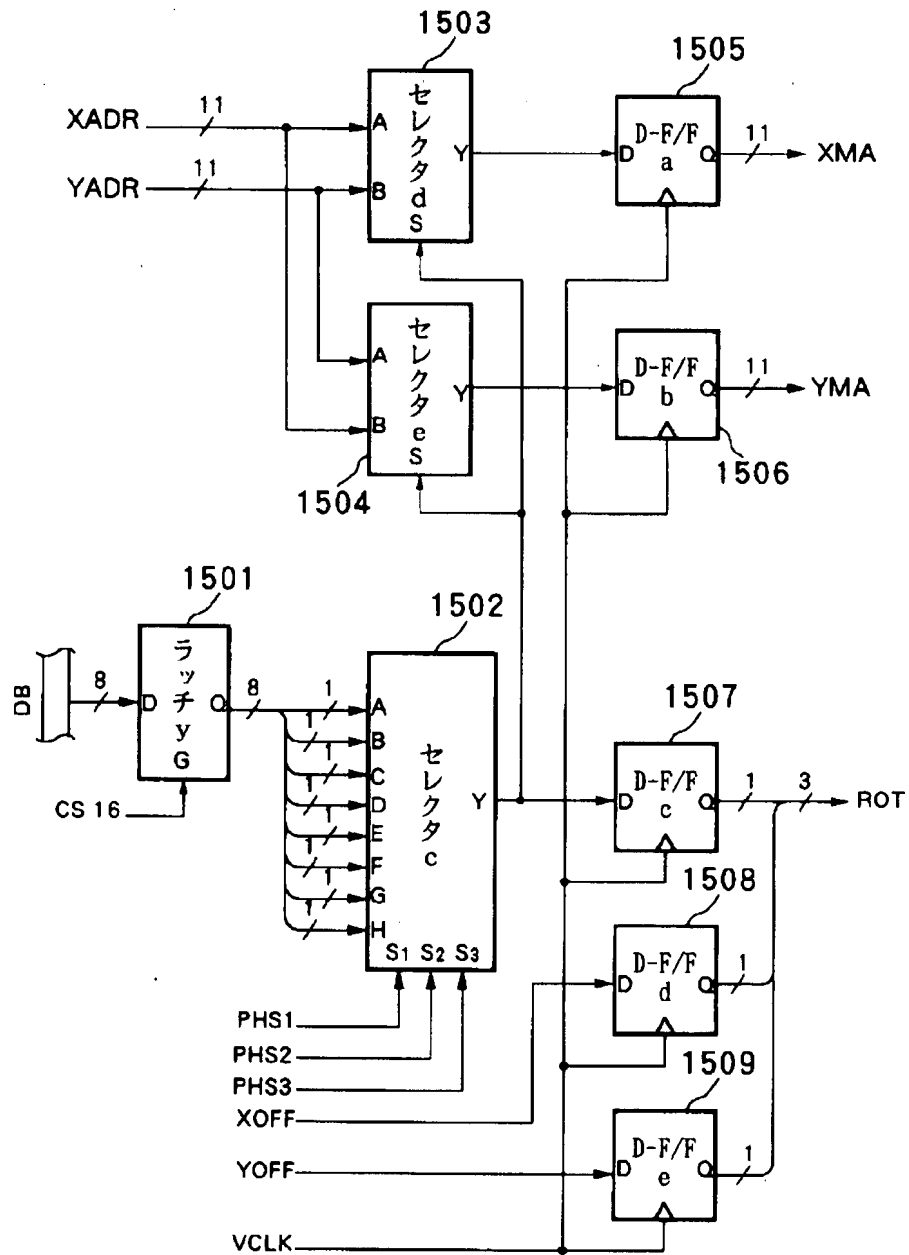
【図14】

第 14 図



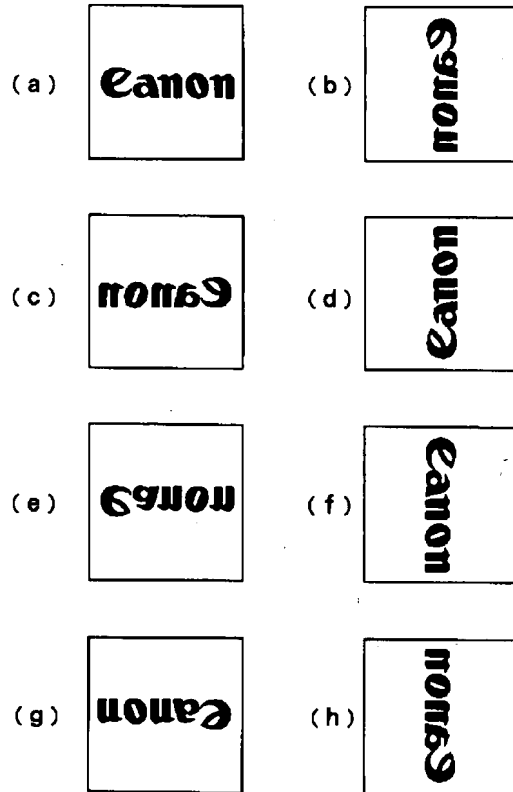
【図15】

## 第 15 図



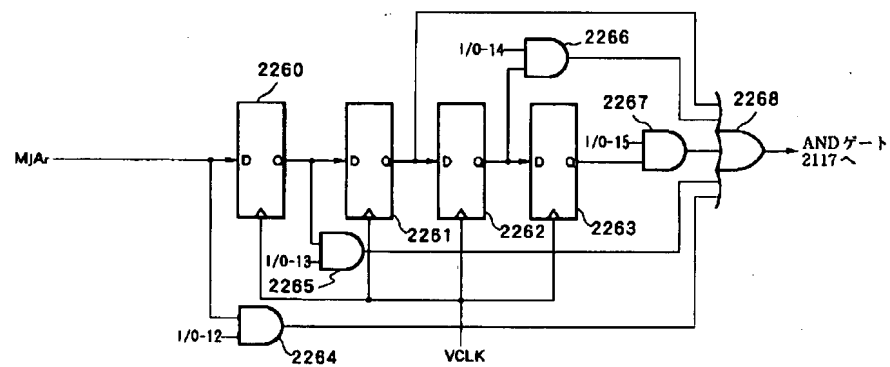
【図17】

第 17 図



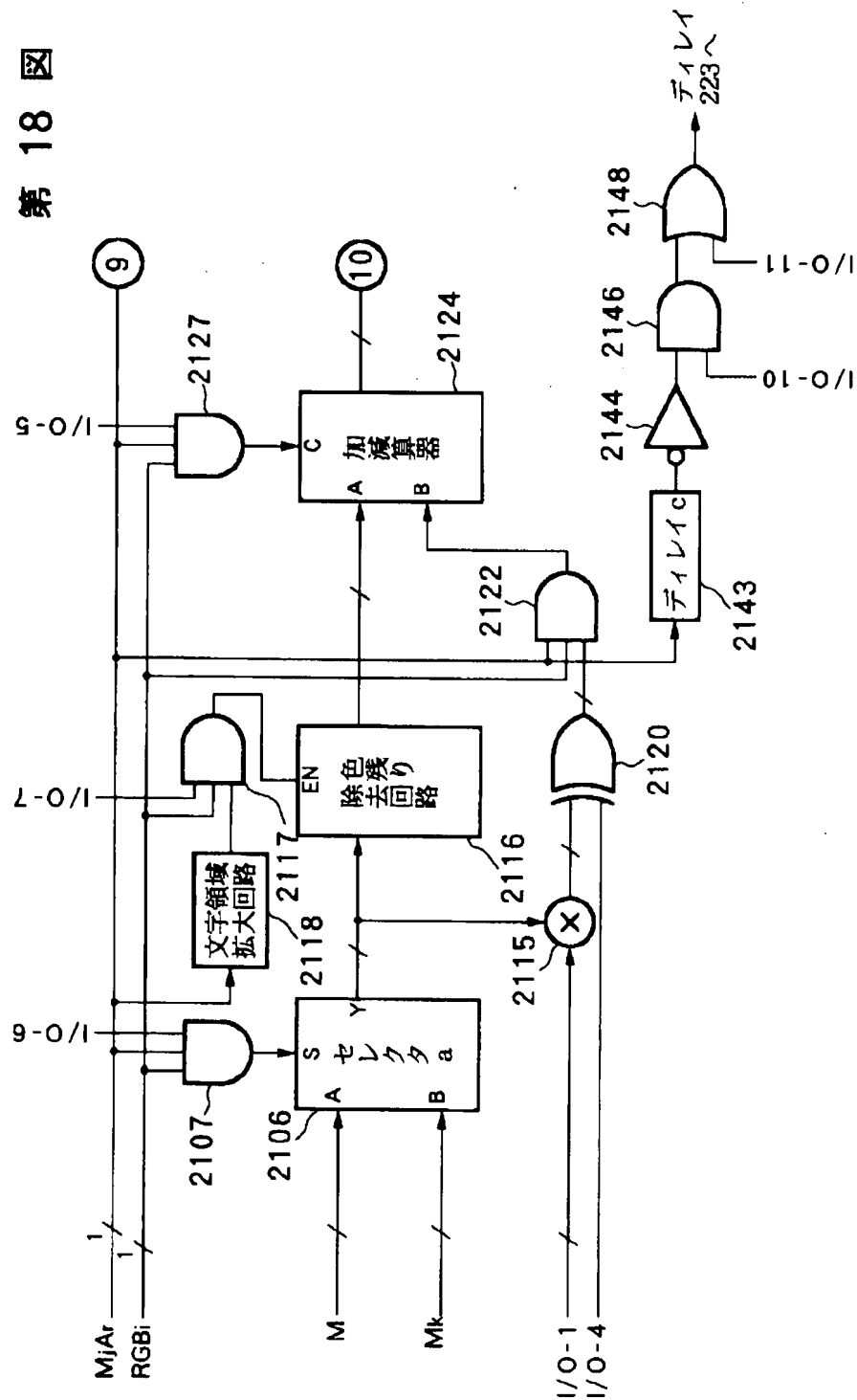
【図21】

第 21 図

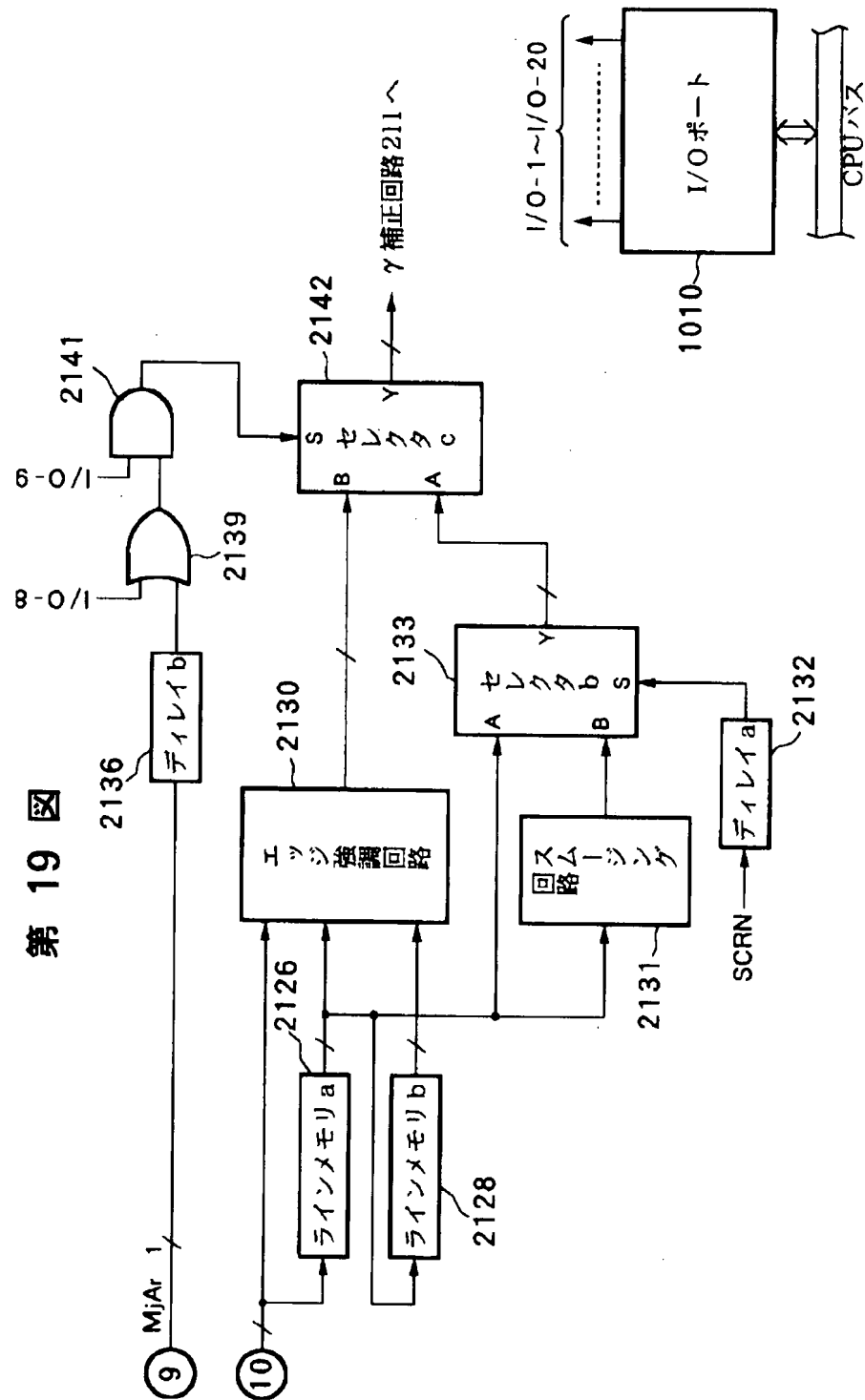




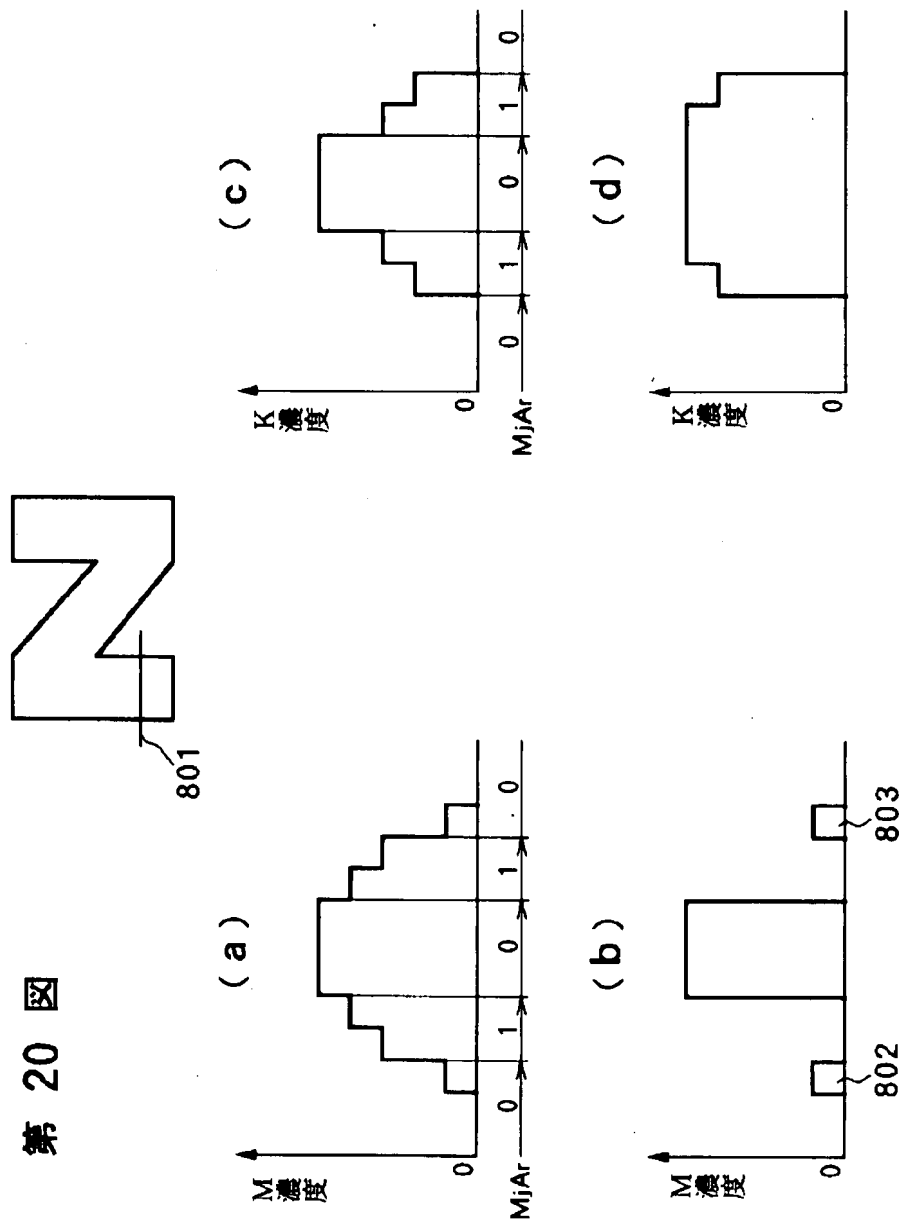
81 版



【図19】



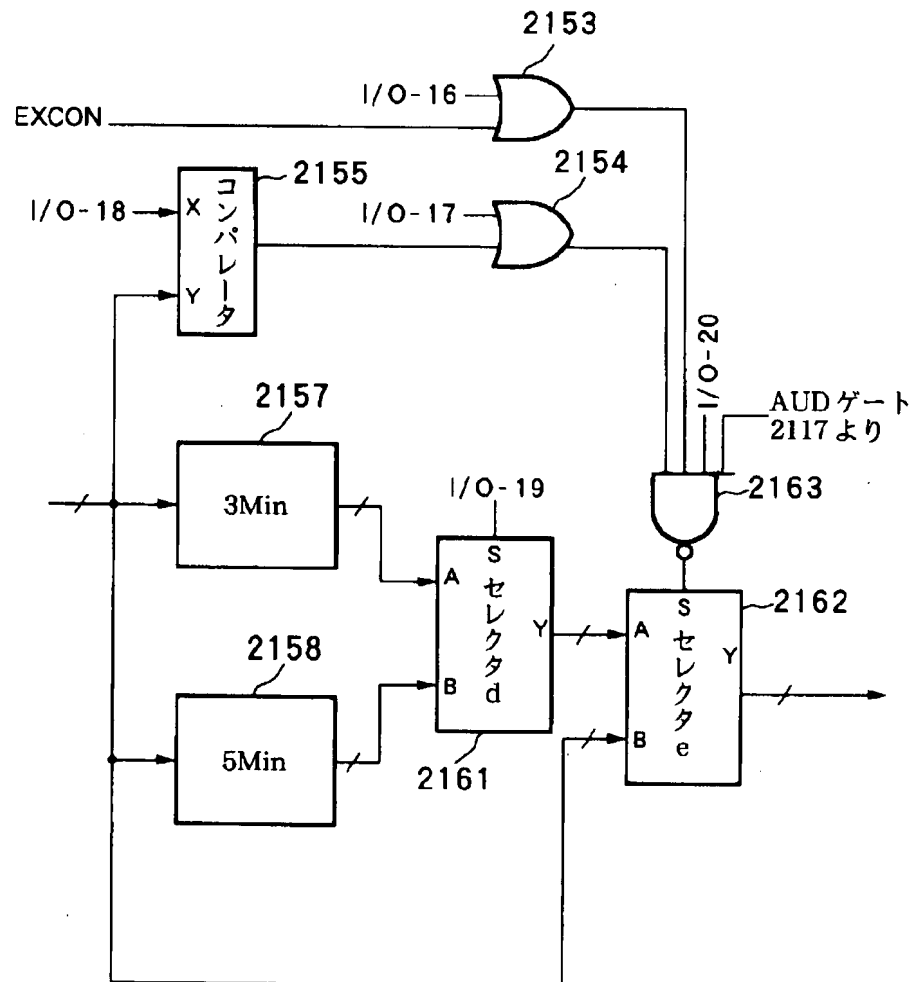
【図20】



第 20 図

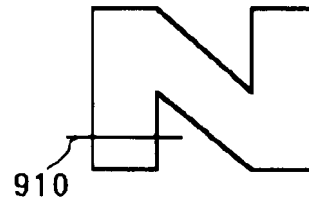
【図22】

## 第 22 図

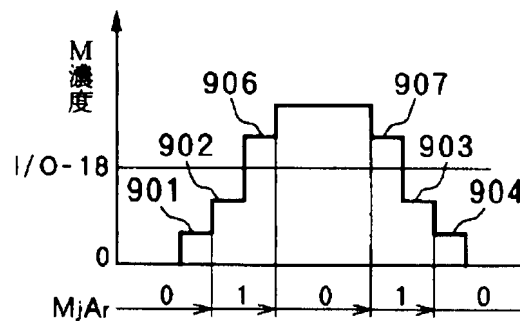


【図23】

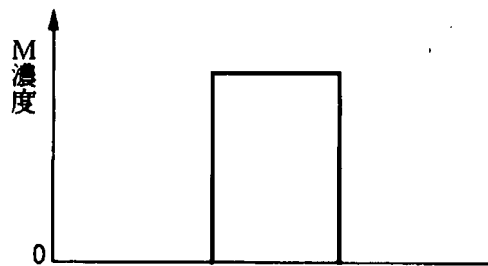
## 第 23 図



(a)



(b)



フロントページの続き

(51)Int. Cl.<sup>5</sup>

G 0 3 G 15/01

G 0 6 F 15/66

H 0 4 N 1/40

識別記号

3 1 0

片内整理番号

S 7818-2H

8420-5L

F 9068-5C

F I

技術表示箇所